

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ
РОССИЙСКОЙ ФЕДЕРАЦИИ

Нижегородский государственный университет им. Н.И. Лобачевского

Микросхемы КМОП и TTL

Практикум

Рекомендовано методической комиссией физического факультета для студентов ННГУ,
обучающихся по направлению подготовки: 210100 «Электроника и нанoeлектроника»

Нижний Новгород
2013

УДК 621.382
ББК 32.852

МИКРОСХЕМЫ КМОМ И ТТЛ: Составители: Сдобняков В.В., Карзанов В.В., Якубов Р.Р., Белянина М.Г., Боженкина М.Г. Практикум. - Нижний Новгород: Нижегородский госуниверситет, 2013. – 46 с.

Рецензенты: к.ф.-м.н., научный сотрудник НИФТИ ННГУ **М.В. Дорохин**

Практикум посвящен основам цифровой электроники, основным методам, подходам и приемам. Его цель - получить представление об основных логических элементах, реализуемых на микросхемах КМОП и ТТЛ, ознакомиться с некоторыми устройствами, которые можно реализовать на базе микросхем К176ЛП1, К561ЛА7, К531ЛА3П.

В работе использован материал курсов «Теоретические основы радиоэлектроники», «Физические основы микроэлектроники», «Основы электротехники».

Практикум предназначен для студентов, обучающихся по направлению: 210100 «Электроника и микроэлектроника».

Ответственный за выпуск:
председатель методической комиссии физического факультета ННГУ,
к.ф.-м.н., доцент Сдобняков В.В.

УДК621.382
ББК 32.852

© Нижегородский государственный университет
им. Н.И. Лобачевского, 2013

Содержание

Введение.....	4
1. Сведения, необходимые для выполнения работ	5
1.1. Классификация, назначение и особенности логических элементов ..	5
1.2. Некоторые приборы, реализуемые на основе логических элементов	7
1.2.1. Дешифраторы	7
1.2.2. Мультиплексоры	9
1.2.3. Триггеры.....	10
1.2.4. Генераторы.....	14
1.2.5. Счётчики импульсов	16
1.3. Микросхема КМОП.....	18
1.3.1. Принцип действия МОП-транзистора. Стоковые и сток- затворные характеристики	18
1.3.2. Базовый логический элемент на КМОП-транзисторах. Устройство и принцип действия	19
1.4. Микросхема ТТЛ.....	22
1.4.1. Биполярный транзистор, многоэмиттерный транзистор. Структура. Принцип действия	22
1.4.2. Транзистор с диодом Шоттки.....	24
1.4.3. Базовый логический элемент ТТЛ. Схема, принцип действия ..	27
2. Описание лабораторной работы, рабочие задания.....	30
3. Контрольные вопросы	43
Литература	45

Введение

Цифровая электроника в настоящее время занимает ключевую роль в развитии человечества.

Интегральные микросхемы, содержащие в своем составе многие десятки и сотни тысяч и даже миллионы компонентов, позволили по-новому подойти к проектированию и изготовлению цифровых устройств. Надежность отдельной микросхемы мало зависит от количества элементов и близка к надежности одиночного транзистора, а потребляемая мощность в пересчете на отдельный компонент резко уменьшается по мере повышения степени интеграции. В результате на интегральных микросхемах стало возможным собирать сложнейшие устройства.

Для получения представления о цифровой электронике необходимо знать принципы работы цифровых устройств и систем, базовые элементы, типовые схемы их включения, правила взаимодействия цифровых узлов, способы построения наиболее типичных цифровых устройств.

Данный практикум посвящен основам цифровой схемотехники, ее основным методам, подходам и приемам. Его назначение – описание основных процессов в цифровых устройствах, формирование представлений об основных логических элементах, реализуемых на микросхемах КМОП и ТТЛ, ознакомление с некоторыми устройствами, которые можно реализовать на базе микросхем К176ЛП1, К561ЛА7, К531ЛА3П.

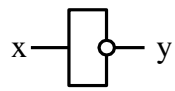
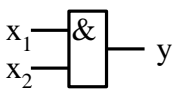
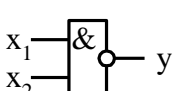
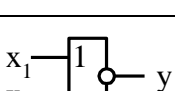

1. Сведения, необходимые для выполнения работ

1.1. Классификация, назначение и особенности логических элементов

Цифровым логическим элементом называется физическое устройство, реализующее одну простую логическую функцию. Схема, составленная из конечного числа логических элементов по определенным правилам, называется логической схемой.

Логические функции, а именно: инверсия, логическое умножение (конъюнкция) и логическое сложение (дизъюнкция), на практике могут быть реализованы с помощью определенных логических элементов. В таблице 1 представлены логические элементы, их обозначения в названиях микросхем, на электрических схемах, а также выполняемые функции.

Таблица 1.
Логические элементы

Элемент	Обозначение в названии микросхемы	Условное обозначение на электрической схеме	Логическая функция
НЕ	ЛН		$y = \bar{x}$
И	ЛИ		$y = x_1 \wedge x_2$
И-НЕ	ЛА		$y = \overline{x_1 \wedge x_2}$
ИЛИ	ЛЛ		$y = x_1 \vee x_2$
ИЛИ-НЕ	ЛЕ		$y = \overline{x_1 \vee x_2}$
Исключающее ИЛИ (это более сложная функция, по сути является комбинацией логических функций)	ЛП		$y = (\bar{x}_1 \wedge x_2) \vee (x_1 \wedge \bar{x}_2)$

Примечание: В таблице использованы следующие обозначения:

- \bar{x} - инверсия значения x ;
- \wedge - логическое умножение (конъюнкция);
- \vee - логическое сложение (дизъюнкция).

Работу логического элемента принято описывать с помощью таблицы истинности. В ней указываются все возможные значения входных переменных логического элемента и состояния на его выходе в соответствии с выполняемой элементом логической функцией. Логические переменные могут принимать только два значения – логический ноль или логическая единица («ЛОЖЬ» или «ИСТИНА»). Пример таблицы истинности для логического элемента **И** приведен в таблице 2.

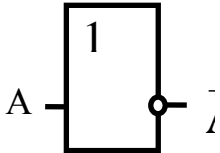
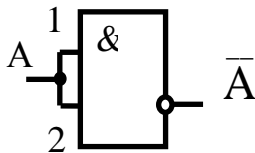
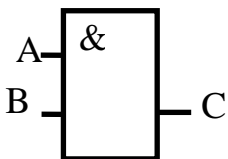
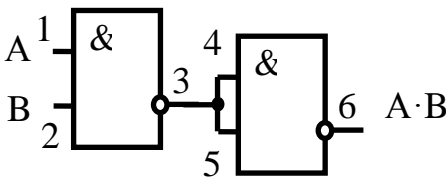
Таблица 2.
Таблица истинности элемента И

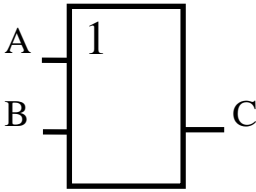
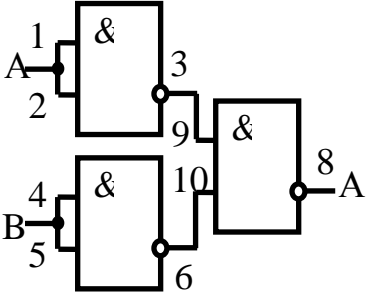
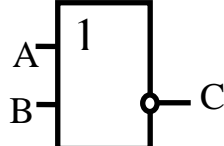
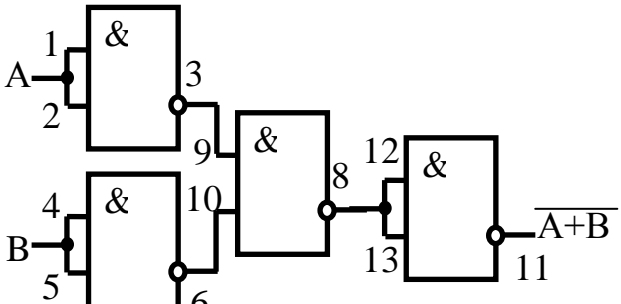
Входы		Выход
x_1	x_2	y
0	0	0
0	1	0
1	0	0
1	1	1

Схемы реализации основных логических функций с помощью логических элементов И-НЕ представлены в таблице 3.

Заметим, что с одной стороны любая сложная функция может быть реализована комбинацией основных логических элементов, с другой стороны любая основная функция может быть схемотехнически реализована единственным логическим элементом.

Таблица 3.
Реализация основных логических функций на основе замещения логическими элементами И-НЕ

Название логической функции	Условное обозначение логического элемента	Схема получения логической функции при помощи логических элементов И-НЕ
НЕ		
И		

ИЛИ		
ИЛИ-НЕ		

1.2. Некоторые приборы, реализуемые на основе логических элементов

1.2.1. Дешифраторы

Дешифратором называют преобразователь двоичного n -разрядного кода в унитарный 2^n -разрядный код, все разряды которого, за исключением одного, равны единице. Дешифраторы разделяются на полные и неполные. Для полного дешифратора выполняется условие:

$$N = 2^n \quad (1)$$

где n - число входов (обычно n равно 2, 3 или 4); N — число выходов.

В неполных дешифраторах имеется n входов, но реализуется $N < 2^n$ выходов. Так, например, дешифратор, имеющий 4 входа и 10 выходов, будет неполным, а дешифратор, имеющий 2 входа и 4 выхода, будет полным.

На рис. 1 изображено условное обозначение дешифратора с $n = 3$.

На входы x_0, x_1, x_2 можно подать 8 комбинаций логических уровней: $000, 001, 010, \dots, 111$. Схема имеет 8 выходов, на одном из которых формируется низкий потенциал (логический ноль), а на остальных высокий (логическая единица). Номер этого единственного выхода, на котором формируется нулевой уровень, соответствует числу N , определяемому состоянием входов x_0, x_1, x_2 следующим образом: $N = 2^2 \cdot x_2 + 2^1 \cdot x_1 + 2^0 \cdot x_0$.

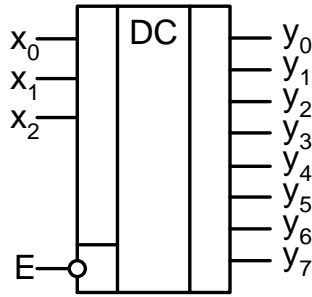


Рис.1. Условное обозначение дешифратора 3x8

В общем виде состояние выходного сигнала y_i можно описать следующей системой условий:

$$y_i = \begin{cases} 0, & \text{если } i = k; \\ 1, & \text{если } i \neq k; \\ k = 2^2 \cdot x_2 + 2^1 \cdot x_1 + 2^0 \cdot x_0. \end{cases} \quad (2)$$

Помимо информационных входов x_0, x_1, x_2 дешифраторы обычно имеют дополнительные входы управления E . Сигналы на этих входах, разрешают функционирование дешифратора или переводят его в пассивное состояние, при котором, независимо от сигналов на информационных входах, на всех выходах установится уровень логической единицы. Можно сказать, что существует некоторая функция разрешения, значение которой определяется состояниями управляющих входов.

Разрешающий вход дешифратора может быть прямым или инверсным. У дешифраторов с прямым разрешающим входом активным уровнем является уровень логической единицы, у дешифраторов с инверсным входом - уровень логического нуля. Дешифратор, представленный на рис. 1, имеет один инверсный вход управления. Принцип формирования выходного сигнала в этом дешифраторе с учетом сигнала управления описывается следующим образом:

$$y_i = \begin{cases} \overline{1 \cdot \overline{E}}, & \text{если } i = k; \\ 1, & \text{если } i \neq k; \\ k = 2^2 \cdot x_2 + 2^1 \cdot x_1 + 2^0 \cdot x_0. \end{cases} \quad (3)$$

Существуют дешифраторы с несколькими входами управления. Для таких дешифраторов функция разрешения, как правило, представляет собой логическое произведение всех разрешающих сигналов управления. Например, для дешифратора КР555ИД7 с одним прямым входом управления E_1 и двумя инверсными E_2 и E_3 функция E имеют вид:

$$E = E_1 \cdot \overline{E_2} \cdot \overline{E_3} \quad (4)$$

1.2.2. Мультиплексоры

Мультиплексором называется логическая схема, представляющая собой управляемый переключатель, который подключает к выходу один из информационных входов данных. Номер подключаемого входа равен числу, определяемому комбинацией логических уровней на адресных входах. Кроме информационных и адресных входов, схемы мультиплексоров содержат вход разрешения, при подаче на который активного уровня мультиплексор переходит в активное состояние. При подаче на вход разрешения пассивного уровня мультиплексор перейдет в пассивное состояние, для которого сигнал на выходе сохраняет постоянное значение независимо от значений информационных и адресных сигналов.

В зависимости от соотношения числа информационных входов n и числа адресных входов m мультиплексоры делятся на полные и неполные. Если выполняется условие $n = 2^m$, то мультиплексор будет полным. Если это условие не выполняется, т.е. $n < 2^m$, то мультиплексор будет неполным. Полный мультиплексор обладает более широкими функциональными возможностями.

Число информационных входов у мультиплексоров обычно 2, 4, 8 или 16. На рис. 2 представлен мультиплексор 4x1 с инверсным входом разрешения E и прямым выходом y , представляющий собой половину микросхемы мультиплексора КР555КП12.

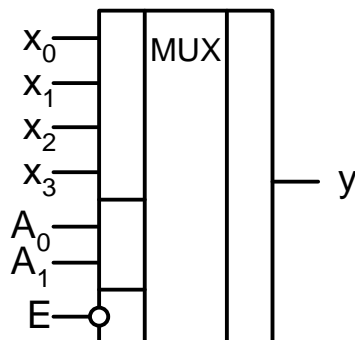


Рис. 2. Условное обозначение мультиплексора 4x1

Выражение для выходной функции такого мультиплексора можно записать в виде:

$$y = x_0 \cdot (\overline{A_0} \cdot \overline{A_1}) + x_1 \cdot (A_0 \cdot \overline{A_1}) + x_2 \cdot (\overline{A_0} \cdot A_1) + x_3 \cdot (A_0 \cdot A_1) \quad (5)$$

где x_0, x_1, x_2, x_3 – информационные входы мультиплексора; A_0, A_1 – адресные входы мультиплексора.

В общем случае для полного мультиплексора, имеющего m управляющих (адресных) входов и 2^m информационных входов можно реализовать n -входную логическую функцию. Поскольку каждой комбинации управляющих входов соответствует единственный информационный вход, на него следует подавать требуемое значение логической функции, которое и будет передано на выход мультиплексора.

1.2.3. Триггеры

Триггером называется устройство, имеющее два устойчивых состояния, переход между которыми происходит в результате процессов, обусловленных наличием в электрической цепи триггера цепей положительной обратной связи.

Два устойчивых состояния триггера обозначаются: $Q=1$ (логическая единица) и $Q=0$ (логический ноль). В каком из этих состояний окажется триггер, зависит от состояния сигналов на входах триггера и от его предыдущего состояния, иными словами триггер имеет память. Можно сказать, что триггер является элементарной ячейкой памяти.

Тип триггера определяется алгоритмом его работы. В зависимости от алгоритма работы, триггер может иметь установочные, информационные и управляющие входы. Установочные входы устанавливают состояние триггера независимо от состояния других входов. Входы управления разрешают запись данных, подающихся на информационные входы. Наиболее распространенными являются триггеры **RS**, **JK**, **D** и **T**. Условное обозначение этих триггеров приведено на рис.4

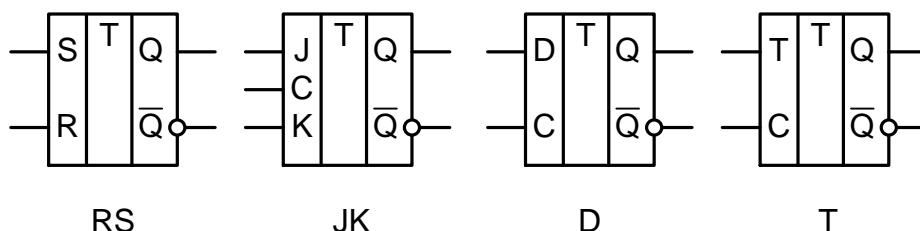


Рис. 3. Условное изображение триггеров: RS-, JK-, D- и T-типа

RS-

триггер.

На рис.4 показана схема RS-триггера.

Как видно из рис.4схема RS-триггера состоит из двух элементов «И-НЕ». Триггер имеет два входа, которые называются S и R. Вход S называют входом установки (от слова Set — установить). Вход R — это вход сброса (Reset). Два выхода триггера обозначаются как Q и \bar{Q} .

Для правильной работы такого триггера на оба его входа необходимо подать сигналы логической единицы. Перевод триггера из одного устойчивого состояния в другое производится путем кратковременной подачи на один из входов нулевого сигнала. При подаче нуля на вход S (Set) триггер переходит в единичное состояние. При подаче сигнала на вход R (Reset) триггер сбрасывается в логический ноль.

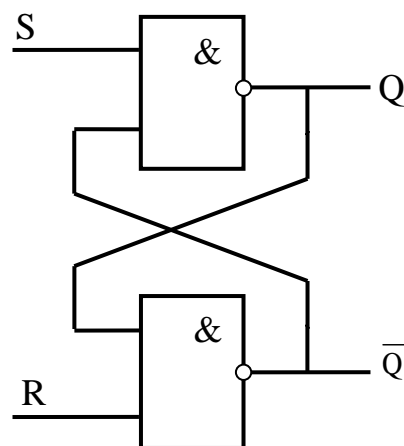


Рис.4. Схема RS-триггера

Одновременная подача двух логических нулей на оба входа триггера недопустима, так как в этом случае работа триггера непредсказуема. В промежутке между сигналами, когда на обоих входах логическая единица, триггер сохраняет ранее установленное состояние.

Если на обоих входах присутствует логическая единица, установленное состояние триггера сохраняется все время, пока на схему подано напряжение питания. При выключении питания информация теряется. Если питание было выключено, то в момент включения питания (до прихода первых входных импульсов) триггер устанавливается в случайное положение. На практике это положение зависит от того, какой из элементов триггера оказался более быстрореагирующим.

Чтобы понять как происходит переключение триггера обратимся к схеме на рис.4. Допустим, что после включения триггер сбросился в нулевое состояние. То есть на выходе Q триггера — логический ноль. Напряжение логического «0» поступает на соответствующий вход нижнего элемента триггера (рис.4). На втором входе того же элемента — логическая единица. В соответствии с логикой работы элемента «И-НЕ», на его выходе так же устанавливается напряжение логической единицы. Это напряжение логической единицы поступает на выход Q и на соответствующий вход верхнего по схеме элемента. На втором входе верхнего элемента — тоже логическая единица. Напряжения логической единицы на обоих входах элемента «И-НЕ» формируют напряжение логического нуля на его выходе. На выходе Q — логический ноль, на выходе \bar{Q} — логическая единица. Триггер без внешнего воздействия находится в устойчивом состоянии.

Рассмотрим переход триггера из одного устойчивого состояния в другое. Для переключения триггера в единичное состояние подадим на вход S сигнал логического нуля. На входах верхнего элемента уже не две единицы, а единица и ноль. Поэтому на выходе Q устанавливается единица. Соответствующее напряжение поступает на соответствующий вход нижнего элемента.

На нижнем элементе устанавливаются две логические единицы на

обоих входах. На выходе \bar{Q} устанавливается 0, на выходе Q устанавливается 0. Это состояние является устойчивым. Единичный сигнал на входе S не переводит триггер назад в нулевое состояние, так как на нижнем входе верхнего по схеме элемента логический ноль.

Переключение триггера в «нулевое» состояние происходит точно так же, как и переключение в «единичное». Только «нулевой» сигнал переключения в данном случае подается на вход R. Если триггер уже находится в «единичном» состоянии, то подача нулевого импульса на вход S не изменит этого состояния. Точно так же подача импульса на вход R не изменит состояния триггера, если перед этим он находился в нулевом состоянии.

RST-триггер является синхронным триггером на основе RS-триггера. Его состояние меняется только при поступлении специальных тактовых импульсов. В промежутках между тактовыми импульсами изменение уровней на входах R и S не вызывает изменения состояния триггера, а лишь «программирует» то состояние, которое он примет при поступлении очередного тактового импульса на входе C (рис.5).

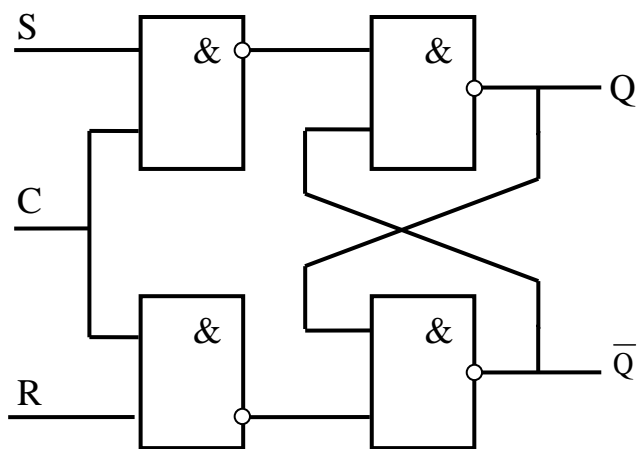


Рис.5. Схема RS-триггера

Работу синхронного RS-триггера иллюстрирует временная диаграмма на рис.6.

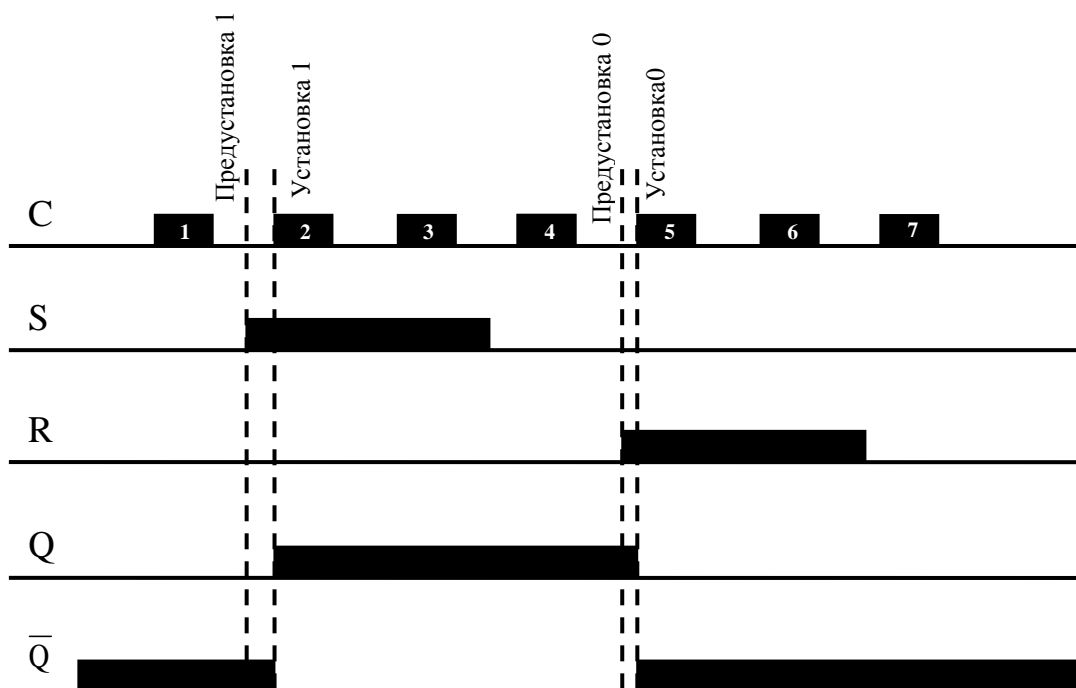


Рис.6. Временная диаграмма RST-триггера

JK-триггер имеет также два информационных входа **J** и **K**. Подобно **RS**-триггеру, в **JK**-триггере **J** и **K** - это входы установки выхода **Q** триггера в состояние 1 или 0. Однако, в отличие от **RS**-триггера, в **JK**-триггере состояние $J=K=1$ приводит к переходу выхода **Q** триггера в противоположное состояние, **JK**-триггеры синхронизируются только перепадом потенциала на входе **C**.

D-триггер, или триггер задержки, при поступлении синхросигнала на вход **C** устанавливается в состояние, соответствующее потенциалу на входе **D**. Выходной сигнал Q_{n+1} изменяется не сразу после изменения входного сигнала **D**, а только с приходом синхросигнала, т.е. с задержкой на один период импульсов синхронизации (Delay – задержка). Синхронизация **D**-триггера может осуществляться импульсом или фронтом.

T-триггер, или счетный триггер, изменяет состояние выхода по фронту импульса на входе **C**. Кроме входа синхронизации (**C**) **T**-триггер может иметь подготовительный вход **T**. Сигнал на этом входе разрешает (при $T=1$) или запрещает (при $T=0$) срабатывание триггера от фронтов импульсов на входе **C**. При $T=1$ соответствующий фронт сигнала на входе **C** переводит триггер в противоположное состояние. Частота изменения потенциала на выходе **T**-триггера в два раза меньше частоты импульсов на входе **C**. Это свойство **T**-триггера позволяет строить на их основе двоичные счетчики. Поэтому эти триггеры и называют счетными. Счетный триггер без входа **T** ведет себя так же, как и **T**-триггер при $T=1$.

1.2.4. Генераторы

Импульсными генераторами называются устройства, преобразующие энергию постоянного источника напряжения в энергию электрических импульсов. Наибольшее применение в импульсной технике имеют генераторы прямоугольных импульсов или релаксационные генераторы. Как известно, основой всех гармонических автогенераторов является линейный усилитель, охваченный частотно-зависимой обратной связью, фазовый сдвиг которой на частоте генерации составляет 0° . В релаксационных генераторах (мультивибраторах) автоколебания возникают за счет охвата усилительных элементов двумя контурами обратной связи – положительной и отрицательной. Положительная ОС обеспечивает лавинообразный переход усилителя из одного крайнего состояния в другое, практически минуя линейную фазу. Отрицательная ОС с некоторой задержкой возвращает усилитель к пороговой точке переключения в противоположное состояние. Релаксационные генераторы могут также иметь одно или два стабильных состояния. В первом случае генератор, называемый ждущим вибратором? требует для запуска внешний импульс и, отработав полный цикл, возвращается в исходное состояние. Бистабильный генератор или триггер Шмитта требует внешнего импульса для перехода в каждое из двух устойчивых состояний.

Генераторы прямоугольных импульсов являются неотъемлемой частью большинства цифровых устройств, все счетные процессы в которых осуществляются по тактовым импульсам задающего генератора. В логических схемах в качестве генераторов бывает удобно использовать сами логические элементы. Поскольку логический элемент обладает свойствами усилителя, для перевода его в режим автогенерации достаточно организовать соответствующую обратную связь. На рис. 7 приведен пример простейшего релаксационного генератора на двух логических инверторах. Резистор R образует отрицательную обратную связь для инвертора 1, переводя его в режим инвертирующего усилителя, инвертор 2 меняет фазу на 180° , а конденсатор C замыкает цепь положительной обратной связи. Период генерации определяется постоянной времени RC и уровнями переключения логического элемента $U_{пор0}$ и $U_{пор1}$. Диапазон номиналов сопротивления и емкости определяется типом используемой логики, исходя из входных токов и нагрузочной способности элементов. Для ТТЛ элементов величина сопротивления может лежать в пределах $0.5 \div 5$ кОм, а для КМОП – 1 кОм \div 10 МОм. Отсюда видно, что на ТТЛ элементах труднее сделать

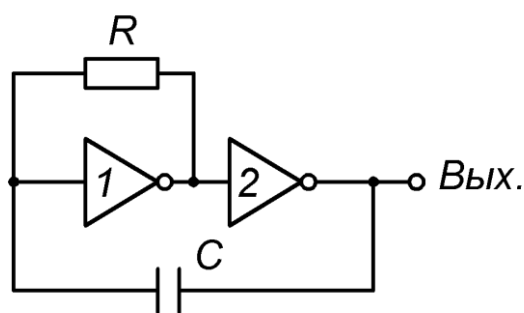


Рис.7. Схема генератора

генератор с большим периодом колебаний – потребуется очень большая величина емкости.

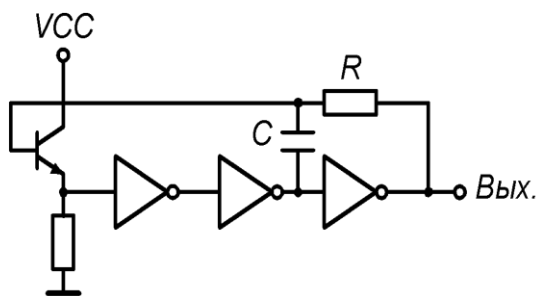


Рис.8. Схема генератора на эмиттерном повторителе

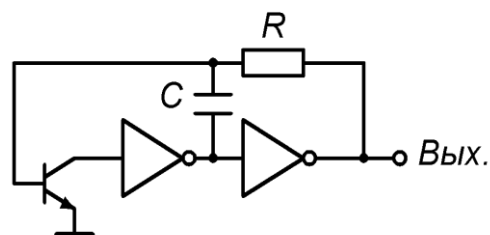


Рис.9. Схема генератора с общим эмиттером

Расширить диапазон допустимых сопротивлений можно, используя эмиттерный повторитель (рис.8), для которого потребуется три логических элемента, или схему сообщим эмиттером (рис.9). Генератор можно построить и на одном инверторе, если обеспечить необходимый сдвиг фазы пассивными RC-фильтрами (рис.10). Нетрудно догадаться, что минимально необходимое число звеньев 1-го порядка равно трем, чтобы обеспечить суммарный сдвиг фазы 180° на частоте генерации.

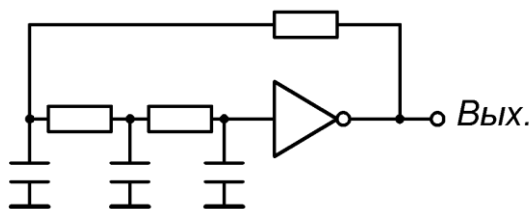


Рис.10. Схема генератора с RC-фильтрами

Все приведенные схемы генераторов не отличаются высокой стабильностью частоты генерации. Помимо стабильности номиналов резисторов и конденсаторов она зависит от напряжения питания, уровней переключения элемента, которые могут значительно изменяться от температуры и имеют разброс для разных экземпляров. В генераторах с высокими требованиями к стабильности частоты (часах и т.п.) применяются кварцевые резонаторы. Колебания возбуждаются на строго определенной резонансной частоте кварца и имеют очень высокую стабильность. В настоящее время кварцевые генераторы выпускаются в виде отдельной микросхемы, не требующей дополнительных логических элементов.

1.2.5. Счётчики импульсов

Счетчиком называется устройство для подсчета числа входных импульсов. С поступлением каждого импульса на вход C состояние счетчика изменяется на единицу. Счетчик можно реализовать на нескольких триггерах, при этом состояние счетчика будет определяться состоянием его триггеров. В суммирующих счетчиках каждый входной импульс увеличивает число на его выходе на единицу, в вычитающих счетчиках каждый входной импульс уменьшает это число на единицу. Наиболее простые счетчики - двоичные. На рис. 11 представлен суммирующий двоичный счетчик.

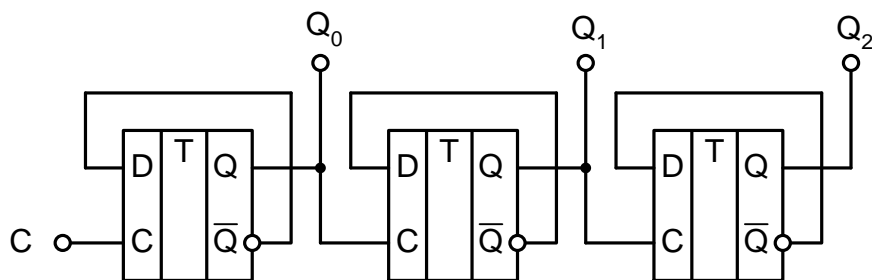


Рис. 11. Двоичный суммирующий счетчик

При построении счетчика триггеры соединяют последовательно. Выход каждого триггера непосредственно действует на тактовый вход следующего. Для того чтобы реализовать суммирующий счетчик, необходимо счетный вход очередного триггера подключать к инверсному выходу предыдущего. Для того чтобы изменить направление счета (реализовать вычитающий счетчик), можно предложить следующие способы:

- считывание выходных сигналов счетчика не с прямых, а с инверсных выходов триггеров.
- изменение структуры связей в счетчике путем подачи на счетный вход триггера сигнала не с инверсного, а с прямого выхода предыдущего устройства.

Счетчики характеризуются числом состояний в течение одного периода счета (цикла). Число состояний определяется количеством триггеров k в структуре счетчика. Так при $k = 3$ число состояний равно $N = 2^3 = 8$ (от 000 до 111).

Число состояний счетчика принято называть коэффициентом пересчета $K_{сч}$. Этот коэффициент равен отношению числа импульсов $N_{ВХ}$ на входе к числу импульсов $N_{ВЫХ}$ на выходе старшего разряда счетчика за период счета:

$$K_{сч} = \frac{N_{ВХ}}{N_{ВЫХ}} \quad (6)$$

Если на вход счетчика подавать периодическую последовательность импульсов с частотой $f_{ВХ}$, то частота $f_{ВЫХ}$ на выходе старшего разряда счетчика будет меньше в $K_{сч}$ раз:

$$K_{CЧ} = \frac{f_{ВХ}}{f_{ВЫХ}} \quad (7)$$

Поэтому счетчики можно использовать в качестве делителей частоты, величину $K_{CЧ}$ в этом случае будет коэффициентом деления. Для увеличения величины $K_{CЧ}$ приходится увеличивать число триггеров в цепочке. Каждый дополнительный триггер удваивает число состояний счетчика и число $K_{CЧ}$. Для уменьшения коэффициента $K_{CЧ}$ можно в качестве выхода счетчика рассматривать выходы триггеров промежуточных каскадов. Например, для счетчика на трех триггерах $K_{CЧ}=8$, если взять выход 2-го триггера, то $K_{CЧ}=4$. При этом $K_{CЧ}$ всегда будет являться целой степенью числа 2, а именно: 2, 4, 8, 16 и т. д.

Можно реализовать счетчик, для которого $K_{CЧ}$ окажется любым целым числом. Например, для счетчика на трех триггерах реализуется $K_{CЧ}$ в пределах от 2 до 7, но при этом один или два триггера могут оказаться лишними. При использовании всех трех триггеров можно получить $K_{CЧ}=5..7$, т.е. $2^2 < K_{CЧ} < 2^3$. Счетчик с $K_{CЧ}=5$ должен иметь 5 состояний, которые в простейшем случае образуют последовательность: $\{0, 1, 2, 3, 4\}$. Циклическое повторение этой последовательности означает, что коэффициент деления счетчика равен 5.

Для построения суммирующего счетчика с $K_{CЧ}=5$ надо, чтобы после формирования последнего числа из последовательности $\{0, 1, 2, 3, 4\}$ счетчик переходил не к числу 5, а к числу 0. В двоичном коде это означает, что от числа 100 нужно перейти к числу 000, а не 101. Изменение естественного порядка счета возможно при введении дополнительных связей между триггерами счетчика. Можно воспользоваться следующим способом: как только счетчик попадает в нерабочее состояние (в данном случае 101), этот факт должен быть опознан и выработан сигнал, который перевел бы счетчик в состояние 000.

Нерабочее состояние счетчика описывается логическим уравнением:

$$F = (101) \vee (110) \vee (111) = Q_3 \cdot \overline{Q_2} \cdot Q_1 \vee Q_3 \cdot Q_2 \cdot \overline{Q_1} \vee Q_3 \cdot Q_2 \cdot Q_1 = Q_3 \cdot Q_1 \vee Q_3 \cdot Q_2 \quad (8)$$

Состояния 110 и 111 также являются нерабочими и поэтому учтены при составлении уравнения. Если на выходе эквивалентной логической схемы $F=0$, значит, счетчик находится в одном из рабочих состояний: $0 \vee 1 \vee 2 \vee 3 \vee 4$. Как только он попадает в одно из нерабочих состояний $5 \vee 6 \vee 7$, формируется сигнал $F=1$. Появление сигнала $F=1$ должно переводить счетчик в начальное состояние 000, следовательно, этот сигнал нужно использовать для воздействия на установочные входы триггеров счетчика, которые осуществляли бы сброс счетчика в состояние $Q_1=Q_2=Q_3=0$. Один из вариантов построения счетчика с $K_{CЧ}=5$ представлен на рис. 12.

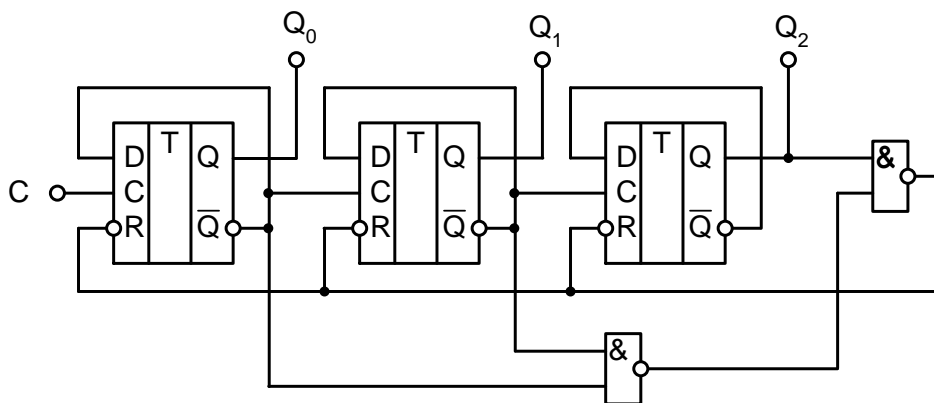


Рис. 12. Схема счетчика с коэффициентом пересчета 5

При последовательном включении триггера и счетчика с $K_{сч}=5$ образуется десятичный счетчик, у которого $K_{сч}=10$. Такие счетчики широко используются для построения цифровых измерительных приборов с удобным для оператора десятичным отсчетным устройством.

1.3. Микросхема КМОП

1.3.1. Принцип действия МОП-транзистора. Стоковые и сток-затворные характеристики

Транзисторы на основе МОП структуры (Металл - Оксид - Полупроводник) - наиболее широко используемый тип транзисторов. Структура состоит из трех металлических контактов и полупроводника, один из контактов разделён слоем оксида SiO_2 от полупроводника. В общем случае структуру называют МДП (металл - диэлектрик - полупроводник). Транзисторы на основе МОП-структур, в отличие от биполярных, управляются напряжением, а не током и называются униполярными транзисторами, так как для его работы необходимо наличие носителей заряда только одного типа.

Физической основой работы полевого транзистора со структурой металл– диэлектрик – полупроводник является эффект поля. Напомним, что эффект поля состоит в том, что под действием внешнего электрического поля изменяется проводимость в приповерхностной области полупроводника. В полевых приборах со структурой МДП внешнее поле обусловлено напряжением приложенным на металлический электрод - затвор. В зависимости от знака и величины приложенного напряжения присутствуют четыре состояния области пространственного заряда (ОПЗ) полупроводника - обогащение, обеднение, слабая и сильная инверсия. Полевые транзисторы в активном режиме могут работать только в области слабой или сильной инверсии, т.е. в том случае, когда образуется инверсионный канал между

истоком и стоком. На рис. 13 приведена топология МДП-транзистора, где этот факт наглядно виден.

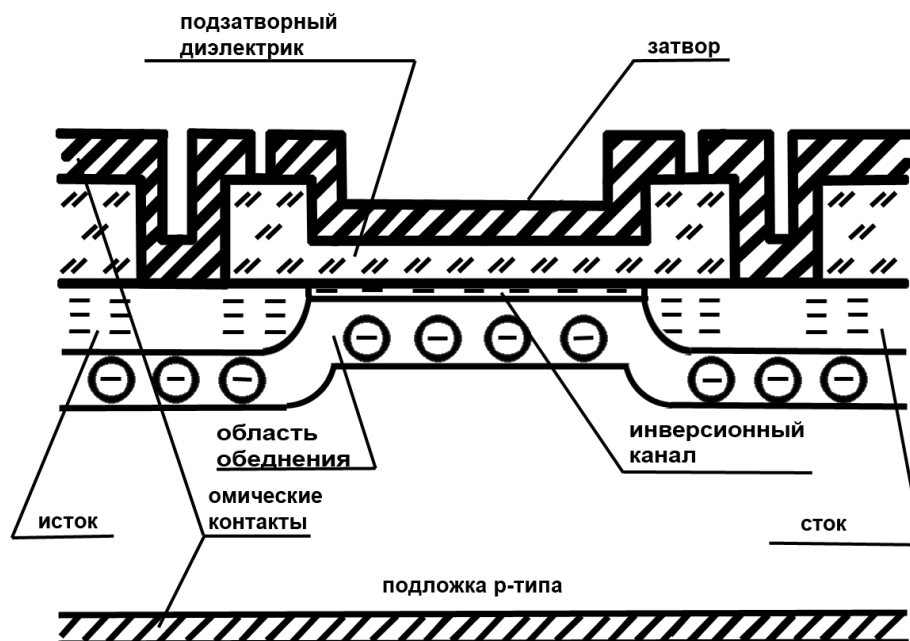


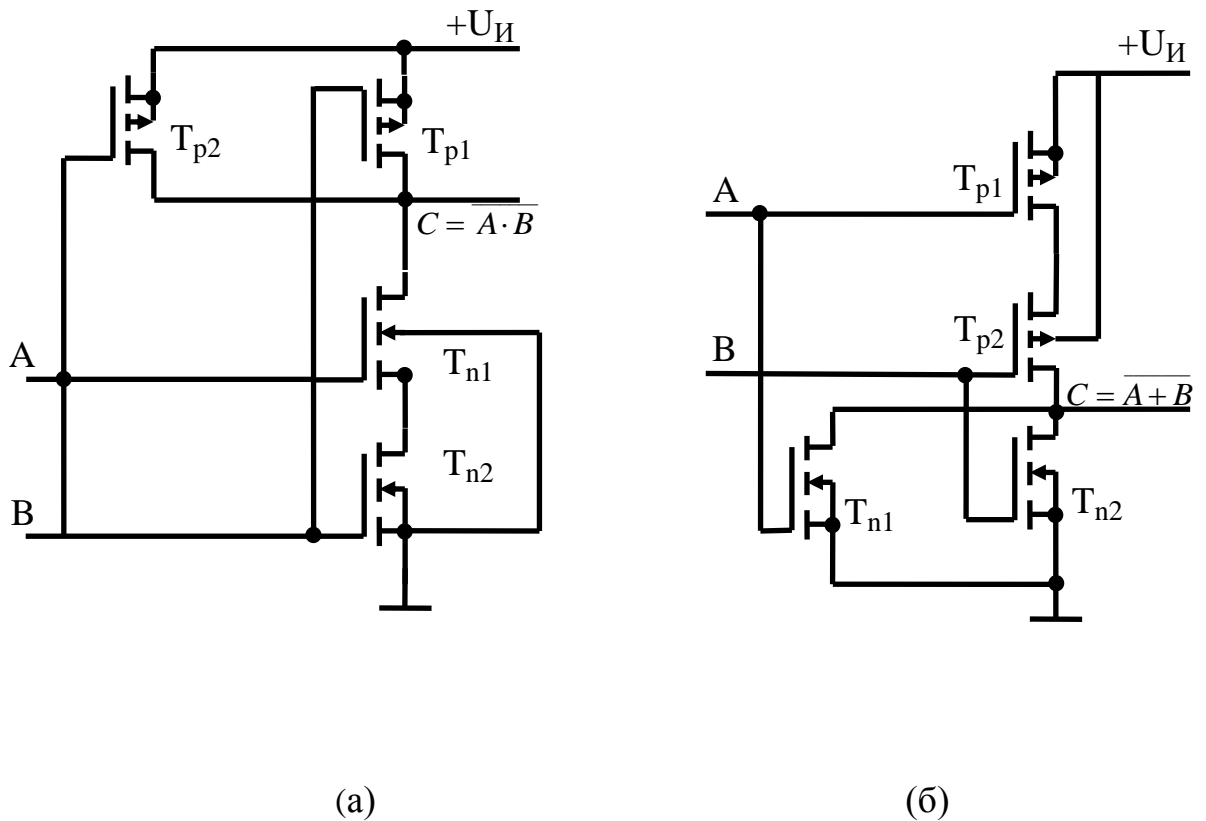
Рис. 13. Полевой транзистор со структурой металл – диэлектрик – полупроводник

Изменяя величину напряжения на затворе, можно менять концентрацию свободных носителей в инверсионном канале и тем самым модулировать сопротивление канала. Источник напряжения в стоковой цепи вызовет изменяющийся в соответствии с изменением сопротивления канала ток стока и тем самым будет реализован эффект усиления.

1.3.2. Базовый логический элемент на КМОП-транзисторах. Устройство и принцип действия

Цифровые интегральные микросхемы на КМОП (комплементарная пара МОП-транзисторов) транзисторах считаются наиболее перспективными, поскольку мощность, потребляемая в статическом, режиме у них составляет десятки нановатт при высоком быстродействии. Среди цифровых ИМС на МОП транзисторах интегральные микросхемы на КМОП транзисторах обладают наибольшей помехоустойчивостью и высокой эффективностью использования источника питания.

Основными логическими элементами серий на КМОП транзисторах являются элементы И-НЕ; ИЛИ-НЕ (рис.14 а, б), а базовым логическим элементом, на основе которого реализованы указанные элементы, является инвертор (элемент НЕ) на КМОП транзисторах.



(а) (б)
 Рис. 14. Логические элементы на КМОП транзисторах.
 Элемент И-НЕ (а), элемент ИЛИ-НЕ (б)

Инвертор реализует операцию логического отрицания, т.е. инверсию и представляет собой двоичный логический элемент на выходе которого логическая единица имеет место в том случае, если на входе имеется логический ноль. На рис. 15 приведена принципиальная электрическая схема инвертора на КМОП транзисторах со схемой защиты.

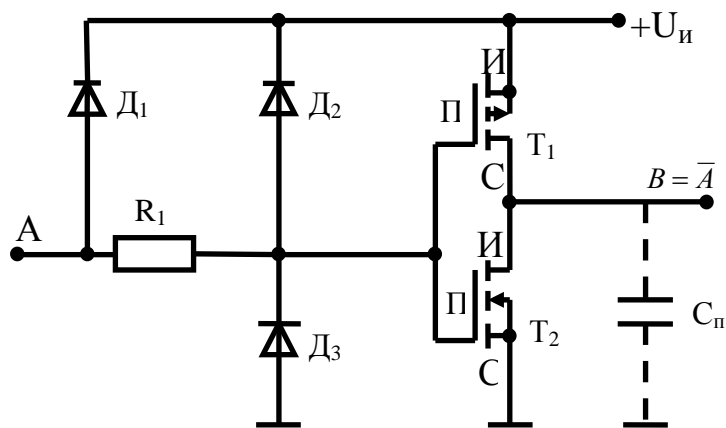


Рис. 15. Схема электрическая принципиальная инвертора на КМОП-транзисторах

Транзистор T_1 – р-канальный, T_2 - н-канальный. Подложка Π транзистора соединена с истоками И . Затворы обоих транзисторов

соединены, и на них подается входной сигнал. Выходной сигнал снимается с объединенных стоков транзисторов.

На рис.16 а, б изображены сплошными линиями стоковые характеристики n-канального транзистора $I_{cn}(U_{вых})$, а штриховыми – стоковые характеристики p-канального транзистора $I_{cp}(U_{вых})$ при одних и тех же входных напряжениях $U_{вх3} > U_{вх2} > U_{вх1} > U_{пор}$. Пороговые напряжения $U_{пор}$ предполагаются одинаковыми для обоих транзисторов. Пусть в исходном состоянии входное напряжение равно $U_{вх} = U^0 = 0$. Тогда $U_{зи1} = 0$, $U_{зи2} = -U_{ин}$. Значит, n-канальный транзистор T_2 закрыт, а p-канальный транзистор T_1 открыт. Считаем, что $U_{ин} > |U_{пор}|$. Ток в общей цепи определяется запертым транзистором T_2 и составляет, величину $I_{ост}$. Падение напряжения на открытом транзисторе T_1 мало. Поэтому напряжение на выходе инвертора $U_{вых} \approx U_{ин} = U^1$. Пока $U_{вх} < U_{пор}$ транзистор T_2 остается закрытым и напряжение на выходе инвертора $U^1 = U_{ин}$ (рис.16 а). При $U_{вх} > U_{вх1} > U_{пор}$ транзистор T_2 открывается и напряжение на выходе начинает снижаться. На ВАХ (рис.16 б) при $U_{вх}$ незначительно превышающем пороговое, рабочие точки, лежащие на пересечении вольтамперных характеристик n- и p-канального транзисторов находятся в области I, где n-канальный транзистор работает в режиме насыщения, а p-канальный – в крутой области ВАХ. Это соответствует области I передаточной характеристики на рис.16а. Когда входное напряжение достигает $U_{вх2} > U'_{вх}$ оба транзистора находятся в режиме насыщения, а выходное напряжение изменяется скачкообразно в пределах области II на рис.18 а, б. При $U_{вх} > U'_{вх}$ p-канальный транзистор работает в режиме насыщения, а n-канальный не насыщен, чему соответствует область III на передаточной характеристике и ВАХ. С ростом $U_{вх}$ напряжение на затворе управляющего транзистора относительно его истока увеличивается, а на затворе нагрузочного уменьшается. Когда напряжение на затворе p-канального транзистора становится меньше порогового, он закрывается. Ток в общей цепи в этом случае определяется запертым транзистором T_1 и равен $I_{ост2}$. Поскольку падение напряжения на открытом транзисторе T_2 мало, при подаче на вход инвертора положительного перепада с уровнями $U^0 = 0В$ и $U^1 = U_{ин}$ на выходе элемента снимается отрицательный перепад с уровнями $U^1 = U_{ин}$ и $U^0 = 0В$.

Особенность схемы – наличие защитных диодов D_1 - D_3 , шунтирующих затворы транзисторов и предотвращающих пробой диэлектрика затвора от действия электрического заряда.

В цифровых схемах на КМОП – транзисторах логическая операция И-НЕ реализуется последовательным включением управляющих транзисторов, а операция ИЛИ-НЕ - их параллельным включением. При этом на каждый вход требуется два транзистора, образующих ключевой элемент (инвертор).

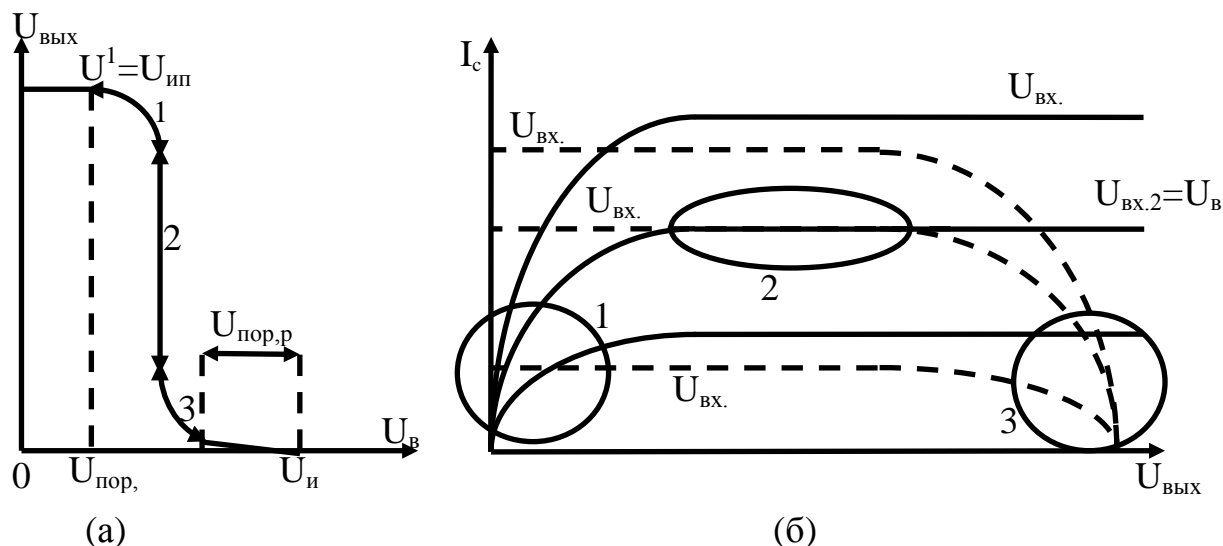


Рис.16. Передаточная характеристика инвертора(а). Стоковые характеристики n-канального(сплошные линии) и p-канального(штриховые линии) транзисторов(б)

В схеме И-НЕ нагрузочные транзисторы включают параллельно друг другу, а в схеме ИЛИ-НЕ – последовательно. По этому принципу строят не только двухвходовые элементы, но и элементы с большим числом входов.

1.4. Микросхема ТТЛ

1.4.1. Биполярный транзистор, многоэмиттерный транзистор. Структура. Принцип действия

Биполярный транзистор – это полупроводниковый прибор с двумя взаимодействующими *p-n*-переходами. Электроды подключены к трём последовательно расположенным слоям полупроводника с чередующимся типом примесной проводимости. По этому способу чередования различают *n-p-n* и *p-n-p* транзисторы.

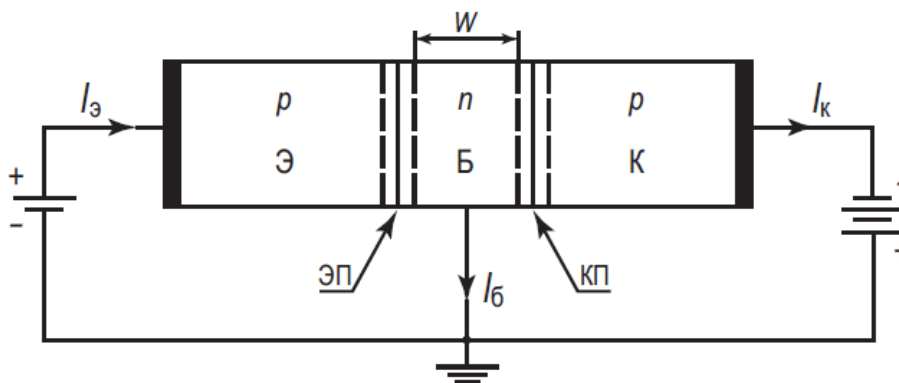


Рис. 17. Схематическое изображение транзистора типа *p-n-p*. Э – эмиттер, Б – база, К – коллектор, *W* – толщина базы, ЭП – эмиттерный переход, КП – коллекторный переход

Биполярный транзистор состоит из трех областей монокристаллического полупроводника с разным типом проводимости: *эмиттера, базы и коллектора* (рис. 17):

Каждый из переходов транзистора можно включить либо в прямом, либо в обратном направлении. В зависимости от этого различают три режима работы транзистора:

1. Режим *отсечки* – оба $p-n$ перехода закрыты, при этом через транзистор обычно идет сравнительно небольшой ток;
2. Режим *насыщения* – оба $p-n$ перехода открыты;
3. *Активный* режим – эмиттерный переход открыт, коллекторный закрыт.
4. *Инверсный* режим – эмиттерный переход закрыт, коллекторный открыт.

В режиме отсечки и режиме насыщения управление транзистором невозможно. В активном режиме такое управление осуществляется наиболее эффективно.

Область транзистора, расположенная между переходами, называется *базой (Б)*. Примыкающие к базе области чаще всего делают неодинаковыми.

Одну из них изготавливают так, чтобы из нее наиболее эффективно происходила инжекция в базу, а другую – так, чтобы соответствующий переход наилучшим образом осуществлял экстракцию инжектированных носителей из базы.

Область транзистора, основным назначением которой является инжекция носителей в базу, называют эмиттером (*Э*), а соответствующий переход – эмиттерным.

Область, основным назначением которой является экстракция носителей из базы, называют коллектором (*К*), а переход – коллекторным. Если на эмиттерном переходе напряжение прямое, а на коллекторном переходе – обратное, то включение транзистора считают *активным*, при противоположной полярности – *инверсным*.

Многоэмиттерные $n-p-n$ транзисторы (МЭТ) отличаются от одноэмиттерных прежде всего тем, что в их базовой области p -типа создают несколько (обычно 4...8) эмиттерных областей n^+ -типа. Эти транзисторы используют в микросхемах вместе с одноэмиттерными. Поэтому МЭТ изготавливают с помощью тех же технологических процессов, что и одноэмиттерные, а структура МЭТ содержит те же полупроводниковые слои и изолирующие области. Основная область применения МЭТ – цифровые микросхемы ТТЛ.

1.4.2. Транзистор с диодом Шоттки

Транзистор с диодом Шоттки можно представить как обычный транзистор, изготовленный по изопланарной технологии (рис.18). В отличие от изопланарного транзистора здесь базовое контактное отверстие расширено в сторону коллекторной области n-типа. Для этого потребовалось исключить центральную область из диоксида кремния. Слой алюминия, расположенный на базовом слое p-типа, образует с ним омический контакт, как и в изопланарном транзисторе. Слой алюминия с подслоем другого металла на границе 1 с относительно высокоомной коллекторной областью обеспечивает выпрямляющий контакт – ДШ. Назначение остальных областей транзистора с ДШ такое же, как в обычном изопланарном транзисторе.

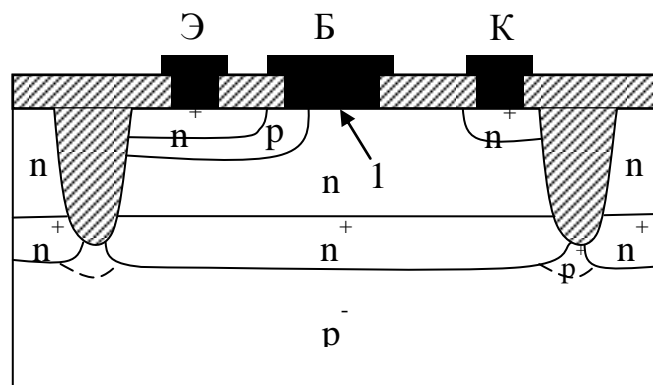


Рис. 18. Транзистор с диодом Шоттки

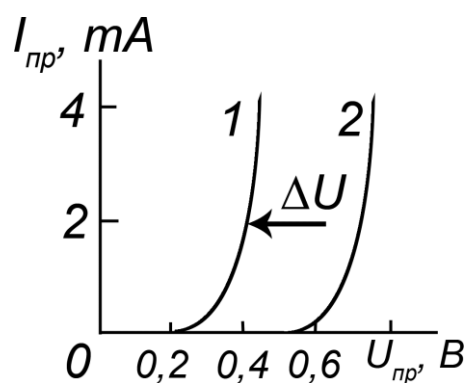


Рис. 19. ВАХ ДШ (1) и изопланарного транзистора (2) [4 стр. 62]

ДШ оказывается включённым параллельно коллекторному переходу транзистора. Прямой ток через ДШ обусловлен движением основных носителей заряда, а инжекция и накопление неосновных носителей заряда, характерные для p-n перехода, здесь практически отсутствуют. На рис.19 приведены прямые ветви вольт-амперных характеристик (ВАХ) ДШ (1) и коллекторного p-n перехода обычного изопланарного транзистора (2) при $T = 300 \text{ K}$. Прямое напряжение при токе $I_{пр} = 2 \text{ mA}$ для ДШ на $\Delta U \approx 360 \text{ mV}$ ниже, чем для коллекторного p-n перехода. Указанные свойства ДШ используются для существенного уменьшения времени рассасывания $f_{рас}$ - одного из основных параметров, характеризующих работу биполярного транзистора в импульсном режиме [3].

Принцип действия ДШ, интегрированного в структуре биполярного транзистора (рис. 18), поясняют диаграммы распределения концентраций неосновных неравновесных носителей заряда в режиме насыщения для обычного транзистора (рис. 20) и транзистора с ДШ (рис.21), где ЭП и КП - эмиттерный и коллекторный переходы. В обычном транзисторе в режиме насыщения при достаточно большом токе базы прямое напряжение на

коллекторном р-п переходе почти равно (чуть меньше) прямому напряжению на эмиттерном р-п переходе.

Поэтому наряду с инжекцией электронов из эмиттера в базу происходит инжекция электронов из коллектора ($n_{\delta}(x)$) и, что особенно важно, инжекция дырок из базы в коллектор ($p_k(x)$), т.е. в относительно высокоомный эпитаксиальный слой n-типа.

В результате в коллекторной области накапливается избыточный заряд дырок, составляющий большую часть всего избыточного заряда. На границе со скрытым слоем n^+ -типа концентрация инжектированных дырок резко уменьшается из-за влияния тормозящего слоя n^+ перехода и меньшего времени жизни дырок в скрытом слое. Кроме заряда дырок накапливается избыточный заряд электронов в пассивной базе (на рис.21 он не показан, так как приведенные здесь распределения концентраций электронов относятся к активной области базы [4 стр.62]).

При выключении транзистора без ДШ $t_{рас}$ в основном определяется эффективным временем жизни дырок в коллекторе и отчасти эффективным временем жизни электронов в пассивной базе. В этом случае время рассасывания составляет десятки наносекунд (для структуры, не легированной золотом).

В транзисторе с ДШ в режиме насыщения при тех же значениях токов базы и коллектора прямое напряжение на коллекторном р-п переходе уменьшается на ΔU (рис. 21). Снижение прямого напряжения на 60 мВ при $T = 300$ К приводит к уменьшению тока инжекции и пропорциональному этому току избыточного заряда в 10 раз [3]. Значит, при $\Delta U = 360$ мВ избыточный заряд, обусловленный инжекцией дырок и электронов через коллекторный р-п переход, уменьшается в 10^6 раз. Следовательно, в транзисторе с ДШ в режиме насыщения избыточный заряд появляется практически только

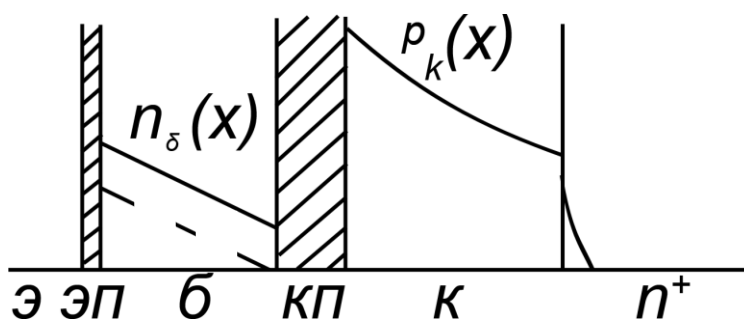


Рис. 20. Диаграмма распределения концентраций неосновных неравновесных носителей заряда в режиме насыщения для обычного транзистора.

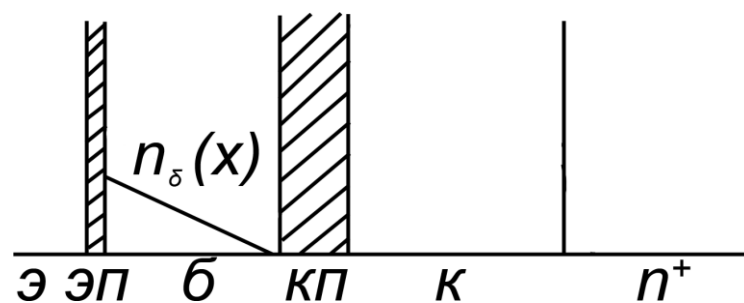


Рис. 21. Диаграмма распределения концентраций неосновных неравновесных носителей заряда в режиме насыщения для транзистора с ДШ

вследствие инжекции электронов из эмиттера в активную область базы (рис. 21).

На диаграмме для транзистора без ДШ (рис. 20) штриховая линия соответствует распределению концентрации электронов на границе активного режима и режима насыщения. Напомним, что избыточный заряд образуют электроны, дополнительно инжектируемые в базу при переходе из активного режима в режим насыщения. Время рассасывания этого заряда определяется временем пролета электронов через базу и для транзисторов с достаточно тонкой базой (менее 1 мкм) составляет не более 1 нс. Для транзистора с ДШ в принципиальных электрических схемах используют специальное графическое обозначение, показанное на рис. 22.

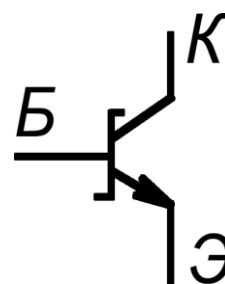


Рис. 22. Графическое обозначение транзистора с ДШ

На рис.23 приведены схемы простейших ключей на транзисторах с ДШ и без ДШ соответственно, включенных по схеме с ОЭ. Предполагается, что на их входах действуют одинаковые импульсы напряжения (рис. 23, в). Временные диаграммы на выходах (рис. 23, г, д) отличаются тем, что $t_{\text{рас}}$ для ключа на транзисторе с ДШ практически равно нулю (рис.23. г).

В транзисторах без ДШ для уменьшения $t_{\text{рас}}$ используют операции легирования золотом, которое создает в кремнии дополнительные центры рекомбинации, снижающие время жизни избыточных носителей заряда. Однако при этом в 2 ... 3 раза уменьшается и коэффициент передачи тока β . В транзисторах с ДШ легирование золотом не требуется, поэтому для них характерны повышенные значения коэффициента β .

Таким образом, основная область применения транзисторов с ДШ- это цифровые микросхемы с повышенным быстродействием. Отметим, что использование транзисторов с ДШ дает положительный эффект только в тех случаях, где транзистор работает в режиме насыщения, например в схемах ТТЛ. Не следует думать, что быстродействие цифровых микросхем при замене обычных транзисторов транзисторами с ДШ повысится в столько же раз, во сколько уменьшится время рассасывания. При работе биполярного транзистора в импульсном режиме кроме времени рассасывания наблюдаются времена задержки, нарастания и спада, которые определяются барьерными емкостями переходов и емкостями нагрузки. Поэтому применение транзисторов с ДШ позволяет повысить быстродействие цифровых микросхем в 2 ... 5 раз (чем больше эффективное время жизни дырок в коллекторе, чем больше выигрыш в быстродействии).

Обратим внимание и на недостатки, присущие транзисторам с ДШ. При их изготовлении используется более сложная технология формирования высококачественного выпрямляющего перехода металл - полупроводник.

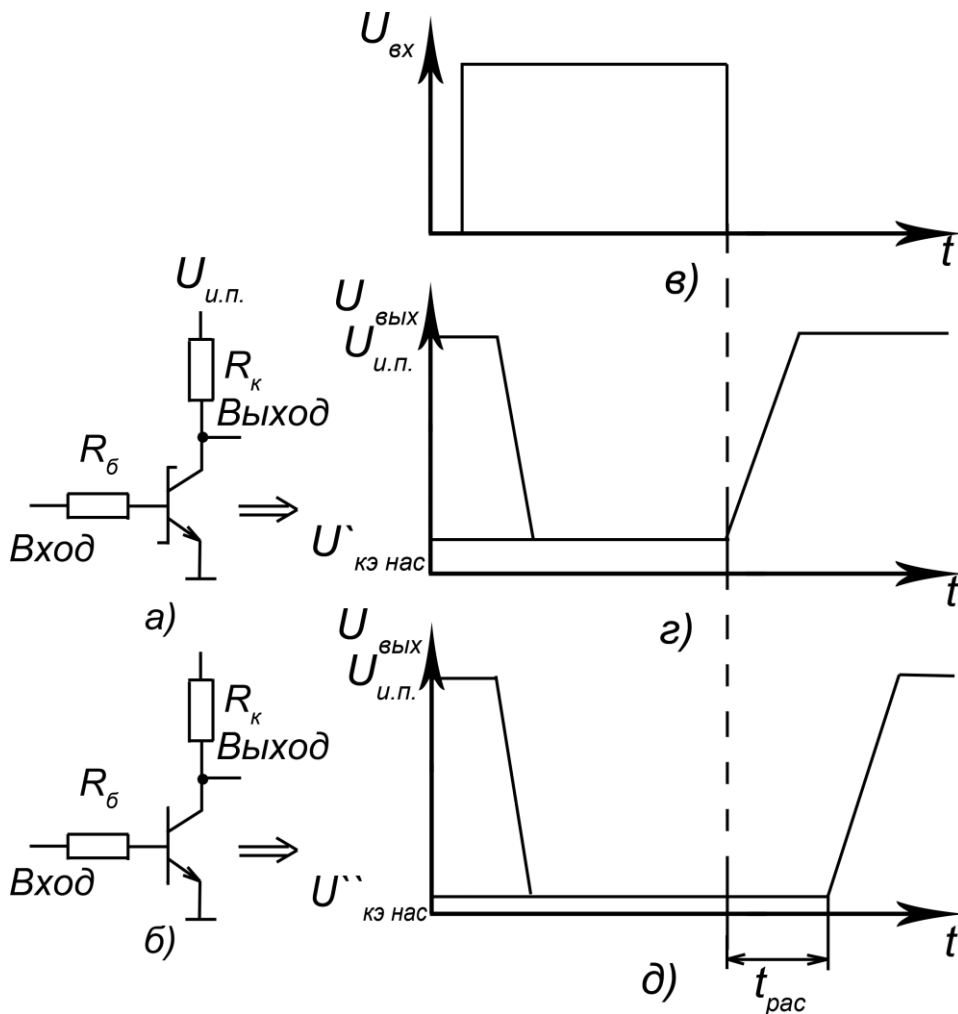


Рис. 23. Схемы простейших ключей на транзисторах с (а) и без (б) ДШ, временные диаграммы (в, г, д)

На рис. 24 показаны выходные характеристики транзисторов с ДШ (1) и без ДШ (2) в схеме с ОЭ при одинаковом токе базы. В режиме насыщения характеристика транзистора с ДШ сдвинута в сторону больших напряжений на ΔU . Поэтому напряжение насыщения повышается: $U'_{кЭнас} = U_{кЭнас} + \Delta U$ (рис.23, г, д). Барьерная емкость контакта металл — полупроводник увеличивает суммарную емкость коллекторного перехода.

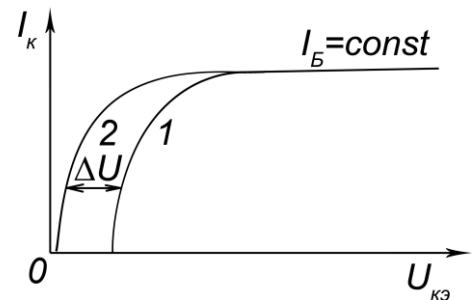


Рис. 24. Выходные характеристики транзисторов с (1) и без (2) ДШ. [4 стр.64]

1.4.3. Базовый логический элемент ТТЛ. Схема, принцип действия

Элемент И-НЕ является базовым логическим элементом серий транзисторно-транзисторной логики (ТТЛ). Принципиальная электрическая

схема элемента на два входа приведена на рис.25. Пунктиром показана внешняя емкостная нагрузка.

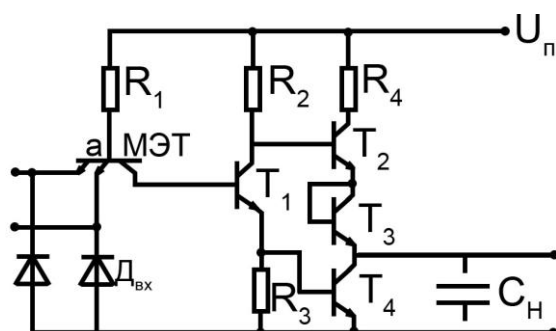


Рис. 25. Схема электрическая принципиальная логического элемента И-НЕ ТТЛ

Схема состоит из двух частей. Первая часть – входная, реализующая функцию И, содержит резистор R1 и многоэмиттерный транзистор (МЭТ); вторая – выходная, реализующая функцию НЕ, содержит сложный инвертор на транзисторах T1-T4. Этот инвертор состоит из фазораспределяющего каскада (T1, R2, R3), предназначенного для противофазного переключения транзисторов T2, T4 и выходного усилителя (T2, T3, T4, R4). Транзистор T3 используется в диодном включении ($U_{\text{БК}}=0$). Количество входов у реальных схем $K \leq 8$. Увеличение количества входов расширяет возможности схемы элемента, однако ухудшает ее динамические параметры. В быстродействующих схемах серий ТТЛ на входах элемента включаются диоды $D_{\text{вх}}$, предназначенные для ограничения амплитуды отрицательных сигналов (помех), образующихся при распространении сигналов в линиях связи между цифровыми интегральными схемами из-за отражений на концах несогласованных линий.

Пусть в исходном состоянии напряжения на входах А и В схемы равны нулю. Так как на базу МЭТ подано положительное смещение, то эмиттерные переходы МЭТ открыты и через них протекает ток I_0 . Потенциал базы МЭТ (точка а) равен U^* (падение напряжения на открытом р-п переходе). Коллекторный переход МЭТ смещен в прямом направлении, а напряжение между его коллектором и эмиттерами равно напряжению насыщения ($U_{\text{КЭнас}} \leq 0,3 \text{ В}$). Так как база транзистора T1 соединена с коллектором МЭТ, то ее потенциал также равен $U_{\text{КЭнас}}$ (условие выполняется если эмиттер заземлен, если считать потенциалы относительно 0, то надо учитывать $D_{\text{вх}}$), что ниже его порога отпирания (U^*). Следовательно, транзисторы T1 и T4 закрыты. Транзистор T2 открыт, т.к. в его базу втекает ток, задаваемый резистором R2. Напряжение на выходе элемента соответствует напряжению высокого уровня (V_1).

Пусть на один из входов (А) подано напряжение V_1 . Поскольку напряжение на другом входе осталось равным нулю, второй эмиттерный переход по-прежнему открыт, а значит потенциал точки а остается равным V^* . Эмиттерный переход А запирается. Никаких других изменений в схеме

не происходит, и на выходе напряжение остается равным V_1 . То же самое будет, если подать напряжение V_1 на другой вход.

Если же подать напряжение V_1 на оба логических входа, то эмиттерные переходы МЭТ смещаются в обратном направлении. Коллекторный переход МЭТ остается смещенным в прямом направлении. Транзистор работает в инверсном режиме. Ток I_0 МЭТ проходит в базу транзистора Т1. Транзистор Т1 открывается и переходит в режим насыщения. Напряжение на его коллекторе понижается, и транзистор Т2 закрывается. Транзистор Т4 открывается эмиттерным током транзистора Т1 и также переходит в режим насыщения. При этом выходное напряжение соответствует напряжению низкого уровня и определяется напряжением насыщения транзистора Т4. Чтобы транзистор Т2 не открывался при понижении выходного напряжения, в схему введен транзистор Т3. Напряжение на базе Т2 в рассматриваемом состоянии логического элемента $U_{B2} = U_{BЭ4}^1 + U_{KЭнас1}$, где $U_{BЭ4}^1$ – напряжение база-эмиттер транзистора Т4 в режиме насыщения; $U_{KЭнас1}$ – напряжение насыщения транзистора Т1. Если предположить, что в худшем с точки зрения обеспечения запирающего транзистора Т2 случае $U_{вых} = U^0 = 0$, то и при этом напряжении $U_{B2} = (0,7 + 0,3) В = 1,0 В$ недостаточно для отпирающего двух последовательно включенных эмиттерных переходов транзисторов Т2 и Т3.

Сопротивления R_1 и R_2 выбирают из условия $R_1 > R_2$, поэтому эмиттерный ток транзистора Т1 в режиме насыщения значительно больше тока базы. Следовательно, в промежуточном каскаде происходит усиление тока. В результате в базу транзистора Т4 поступает больший ток, чем в простейшем элементе при том же сопротивлении R_1 , что увеличивает нагрузочную способность в состоянии $U_{вых} = U^0$.

Элемент ТТЛ способен работать на большую емкостную нагрузку при высоких скоростях переключения. Такая способность объясняется тем, что заряд и разряд емкости нагрузки C_n происходят через низкоомную выходную цепь: $I_{зар} = I_{Э2}$, $I_{разр} = I_{К4}$ (рис.27). Действительно, пусть в исходном состоянии напряжение на выходе элемента равно U^0 . При этом емкость C_n разряжена. Когда напряжение на выходе схемы изменяется от U^0 до U^1 , транзистор Т4 закрывается, а транзистор Т2 открывается. Ток эмиттера $I_{Э2}$ обеспечивает при этом быстрый заряд емкости C_n , поэтому время $t^{0,1}$ (время перехода из состояния логического нуля в состояние логической единицы) мало. При переключении элемента, когда напряжение на выходе схемы изменяется от V^1 до V^0 , то транзистор Т2 закрывается, а транзистор Т4 открывается, и через него происходит быстрый разряд емкости C_n . Благодаря этому время перехода элемента из состояния «1» в состояние «0» $t^{1,0}$ мало. Таким образом, выходной каскад обеспечивает малое время переключения при значительных емкостях нагрузки.

2. Описание лабораторной работы, рабочие задания

Задание 1.

Проведите опытную проверку логики действия элементов 2И-НЕ микросхемы К555ЛА3.

Структурно микросхема состоит из четырех логических элементов 2И-НЕ, питающихся от общего внешнего источника напряжения постоянного тока. Каждый ее логический элемент работает самостоятельно. Выделить элементы можно по номерам выводов, представленных на графическом обозначении микросхемы (рис.26). Так, входные выводы 1, 2 и выходной вывод 3 относятся к одному из ее элементов, например, первому, выходные 4, 5 и входной 6 – ко второму элементу и т.д. Не обозначенные на рис. 26, выводы 7 и 14 микросхемы служат для подачи питания на все элементы. Микросхема К555ЛА3 рассчитана на питание от источника постоянного напряжением 5В. К выводу 7 подается «минус», а к выводу 14 «плюс» источника питания.

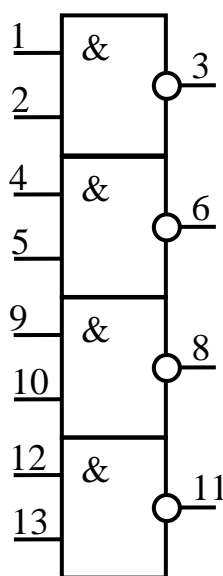


Рис. 26. Условное графическое обозначение логического элемента К555ЛА3

Для проведения экспериментов установите микросхему на макетную панель и подключите к ней источник питания. Перед началом работы необходимо убедиться в исправности микросхемы. Для этого измерьте вольтметром напряжения на всех логических выводах элементов. При напряжении питания около 5В напряжение на входных выводах элементов должно быть около 4В, выходных – около 0В, если это не так, микросхема не исправна.

Начать опытную проверку логики микросхемы можно, начав с любого логического элемента, например, с первого с выводами 1-3. Сначала один из входных выводов, например, вывод 2, соедините с общей минусовой шиной, а вывод 1-с плюсовой.

Для визуальной индикации работы элемента подключите выходной вывод 3 к светодиоду. Измерьте напряжение между выводом 3 и общей линией. Затем измерьте напряжение на входном выводе 1. В каком состоянии находится элемент?

Затем и входной вывод 2 элемента соедините с плюсовой линией. Измерьте напряжение на выходном выводе.

Проволочной перемычкой замкните первый вход на общую линию, измерьте напряжение на выходе.

Отключите оба входных вывода элемента от других деталей и проводников. Измерьте напряжение на выходе.

Проведите подобные опыты с другими логическими элементами микросхемы. Опишите проведенные эксперименты. На основании полученных данных составьте таблицу истинности логической функции, реализуемой данными элементами, с указанием численных значений напряжений низкого и высокого уровня.

Задание 2.

Используя универсальность логического элемента И-НЕ, соберите схемы, реализующие основные логические функции (таблица 3). Исследуйте полученные схемы, подавая на входы сигналы напряжения низкого и высокого уровня, подключив выход к светодиоду. По результатам полученных экспериментальных данных составьте таблицы истинности исследованных элементов.

Задание 3.

Соберите схему, изображенную на Рис 27. Конструкция, собранная на двух элементах И-НЕ, включенных инверторами, представляет собой автоколебательный мультивибратор. Конденсатор C_1 обеспечивает положительную обратную связь между выходом элемента II и входом элемента I, а конденсатор C_2 - между выходом элемента I и входом элемента II. Резисторы R_1 и R_2 - плечи мультивибратора - создают на входах

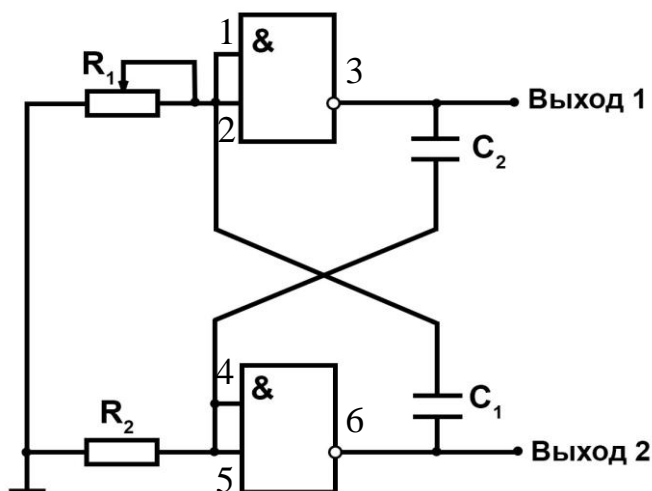


Рис. 27. Автоколебательный мультивибратор

соответствующих элементов постоянное напряжение, обеспечивающее запуск и работу генератора.

Подключив к выходам мультивибратора светодиодные индикаторы, убедитесь в его работе.

Исследуйте зависимость длительности импульса, частоты и скважности от величины емкостей и сопротивлений, подключив один из выводов к осциллографу.

Задание 4.

Соберите схему, изображенную на рис.28, представляющую собой мультивибратор на трех логических элементах, соединенных между собой последовательно. Подключите к его выходу светодиодный индикатор и проверьте работоспособность конструкции.

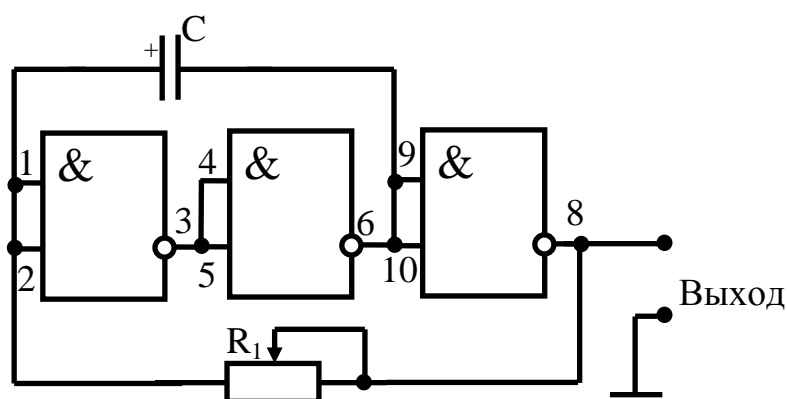


Рис. 28. Мультивибратор на трех логических элементах И-НЕ

Подключив выход генератора к осциллографу, исследуйте зависимость частоты, длительности и скважности импульсов от величины емкости при постоянном сопротивлении и от величины сопротивления при постоянной емкости.

Задание 5.

Соберите по рис. 29. генератор прямоугольных импульсов, где использованы все 4 элемента микросхемы. Резистор R1 обеспечивает условия самовозбуждения мультивибратора, собранного на элементах I-III. Элемент IV применяют для формирования выходного сигнала. Исследуйте работу конструкции в зависимости от величины емкости и сопротивления.

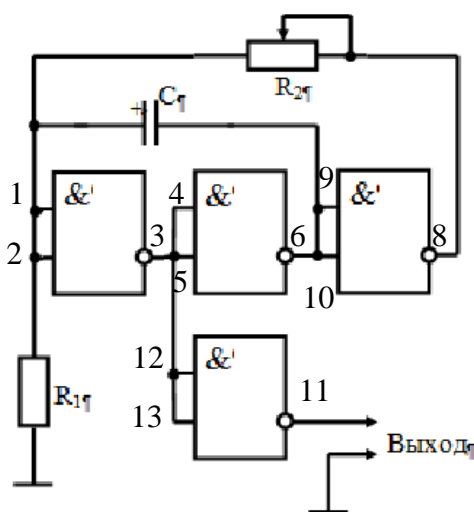


Рис. 29. Генератор прямоугольных импульсов на 4 элементах микросхемы

Задание 6.

Соберите по схеме нарис.30 устройство, называемое RS триггером. Он образован на основе двух логических элементов И-НЕ с перекрестными обратными связями между их входами и выходами.

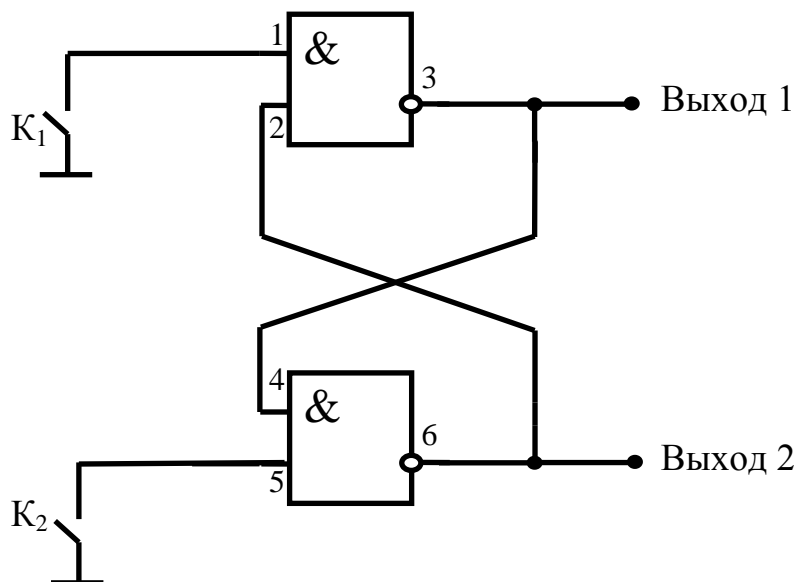


Рис. 30. Схема RS триггера

Триггер имеет два независимых входа S и R и два выхода Q и \bar{Q} . После включения питания на одном из выходов напряжение высокое, на другом - низкое. В этом можно убедиться, подключив к выходам светодиодные индикаторы. Исследуйте работу триггера, подавая на входы сигналы напряжения низкого и высокого уровня. На основании полученных данных составьте таблицу истинности для RS-триггера.

Подача сигналов на входы триггера осуществляется путем замыкания входа S или R на общую шину и их размыкания. В замкнутом состоянии на вход подается уровень логического нуля, в разомкнутом - уровень логической единицы.

Задание 7.

Соберите конструкцию, схема которой представлена на рис.31.

Подключите выход Q триггера к светодиоду, а выход мультивибратора - к осциллографу. Исследуйте работу схемы. Проанализируйте полученные результаты.

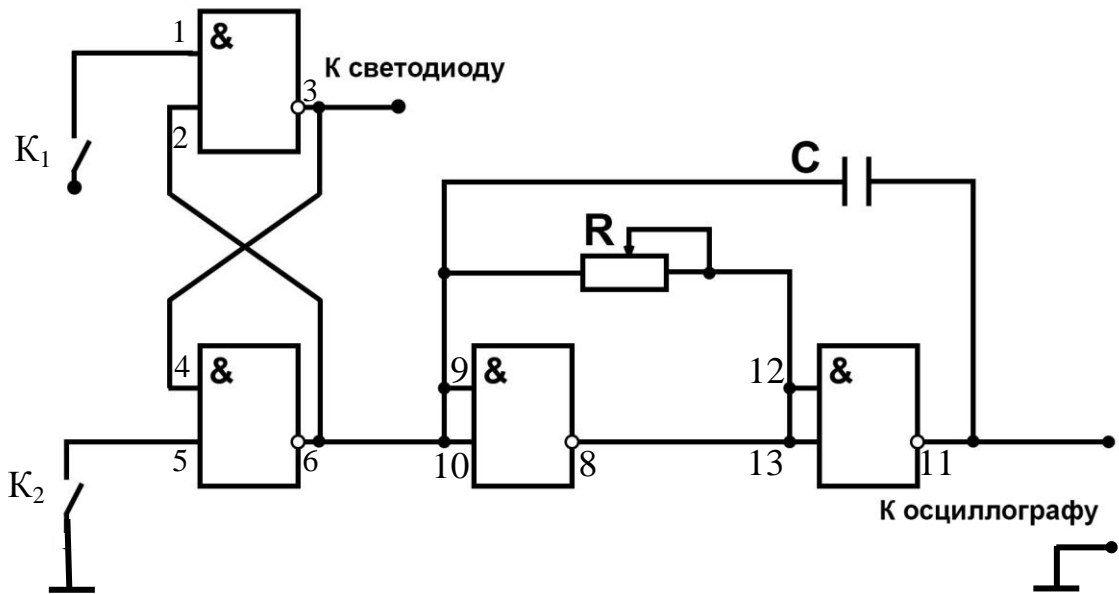


Рис. 31. Схема RS триггера, управляющего работой мультивибратора

Задание 8.

Соберите по рис.32 RST-триггер. В основе этой структуры лежит RS-триггер, входы которого управляются с помощью еще двух логических элементов И-НЕ.

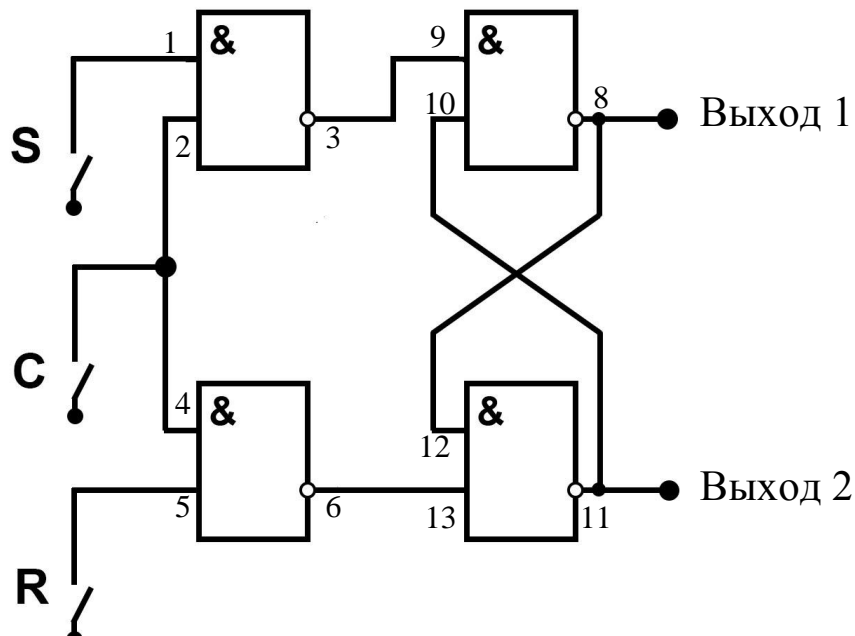


Рис. 32. Синхронный RS-триггер на четырех логических элементах И-НЕ

RS-триггер относится к классу асинхронных, у которых изменение состояния происходит тогда, когда меняется уровень на соответствующих входах. В отличие от RS-триггера RST триггер является синхронным

триггером. Состояние его может меняться только при поступлении специальных тактовых импульсов. В промежутках между тактовыми импульсами изменение уровней на входах **S** и **R** не вызывает изменения состояний триггера, а лишь "программирует" то состояние, которое он примет при поступлении очередного тактового импульса. Тактовый вход обозначен на схеме буквой **C**.

Работу синхронного RS-триггера иллюстрируют временные диаграммы сигналов на рис.6. Синхронизирующему входу соответствует самая верхняя диаграмма.

Для работы необходимо включить функциональный генератор, установить тип импульса – прямоугольный, частоту - 200 мГц, амплитуду - 4,5В, смещение постоянной составляющей - 2,25В.

Если на обоих входах **S** и **R** установлен уровень логического нуля (режим хранения), то синхронизирующий (тактовый) импульс (в данном случае импульс 1) не оказывает никакого влияния на состояния выходов триггера ($Q = 0$). В момент предварительной установки (предустановки) входа **S**, когда на этот вход подается сигнал напряжения высокого уровня (логическая единица), выход **Q** все еще остается в прежнем состоянии $Q = 0$, и только на фронте (нарастающем крае) тактового импульса 2 происходит его переключение к логической единице. Тактовые импульсы 3 и 4 не влияют на состояние выхода **Q**. Во время прохождения импульса 3 триггер находится в режиме установки 1, во время прохождения импульса 4 - в режиме хранения. Затем логическая единица подается на вход **R** (предустановка входа **R**). Однако состояние триггера при этом не меняется ($Q = 0$), и только на фронте импульса 5 происходит сброс (очистка) выхода **Q** путем установки его в состояние логического нуля. Во время прохождения импульсов 5 и 6 триггер находится в режиме установки нуля, во время прохождения импульса 7 - в режиме хранения (и, следовательно, на прямом выходе **Q** триггера сохраняется уровень логического нуля).

Состояние выходов RST триггера может изменяться только в моменты прихода тактовых импульсов. В этом случае говорят, что триггер работает синхронно: процесс переключения его выходов находится в синхронизме с тактовыми импульсами. Синхронная работа очень важна для микрокалькуляторов и ЭВМ, где каждый шаг вычислительного процесса должен следовать в строго определенном порядке.

Исследуйте работу RST триггера и составьте для него таблицу истинности. Подача сигналов на входы **S** и **R** триггера осуществляется так же, как и в задании 6. Подача тактовых импульсов на вход **C** осуществляется путем замыкания его на общую шину (отсутствие импульса) и размыкания его на определенное время (подача импульса).

Задание 9.

Микросхему К176ЛП1 называют универсальным логическим элементом. Она может быть использована как три самостоятельных логических элемента НЕ, как элемент ЗИЛИ-НЕ, как элемент ЗИ-НЕ и как элемент НЕ с большим коэффициентом разветвления, последнее решение позволяет подключать к выходу большое число микросхем.

На рис. 33а показано графическое обозначение микросхемы, а на рис.33б ее принципиальная электрическая схема. Микросхема К176ЛП1 содержит 6 полевых транзисторов, три из которых (Т1-Т3) с р-каналом, три другие (Т4-Т6) – н-каналом. Напряжение питания подают на выводы 14 (+9В) и 7 (общий). Выводы 6, 3 и 10 – выводы первого-третьего элементов.

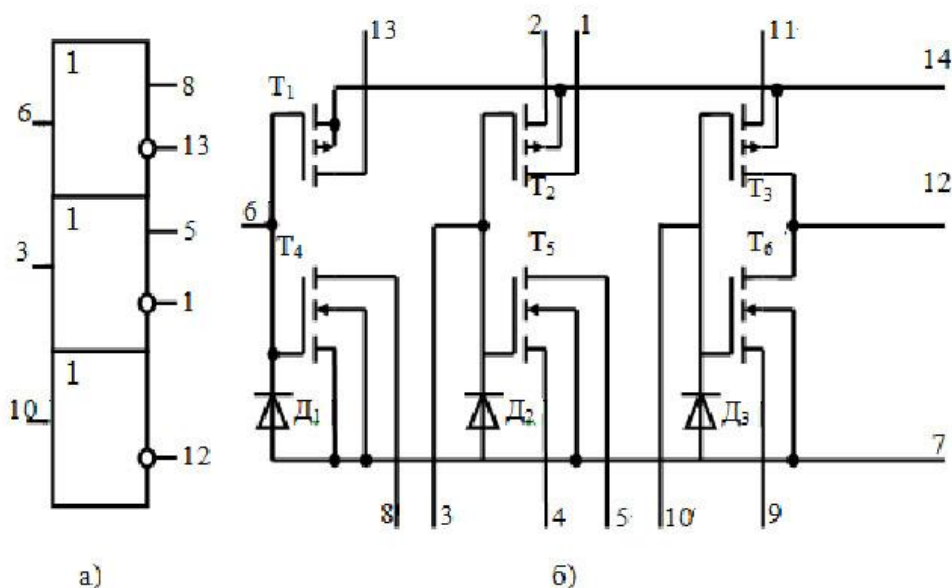


Рис. 33. Графическое обозначение и принципиальная электрическая схема универсального логического элемента К176ЛП1

Выводы 13, 8, 1 и 5 – стоки комплементарной пары полевых транзисторов первого и второго элементов, 12-выход третьего элемента (рис.33б). Для первого элемента: к выводу 14 подключается напряжение питания, а вывод 7 – общий; для второго: к выводу 2 – напряжение питания, а вывод 4 общий; третьего: к выводу 11-напряжение питания, а вывод 9-общий. Разные по функциональному назначению логические элементы получают путем соответствующих соединений выводов.

Микросхема К561ЛА7 содержит в своем корпусе четыре логических элемента 2И-НЕ. Графическое обозначение этой микросхемы показано на рис.34а. Плюс источника питания соединяют с выводом 14, минус – выводом 7. Номинальное напряжение питания 9В.

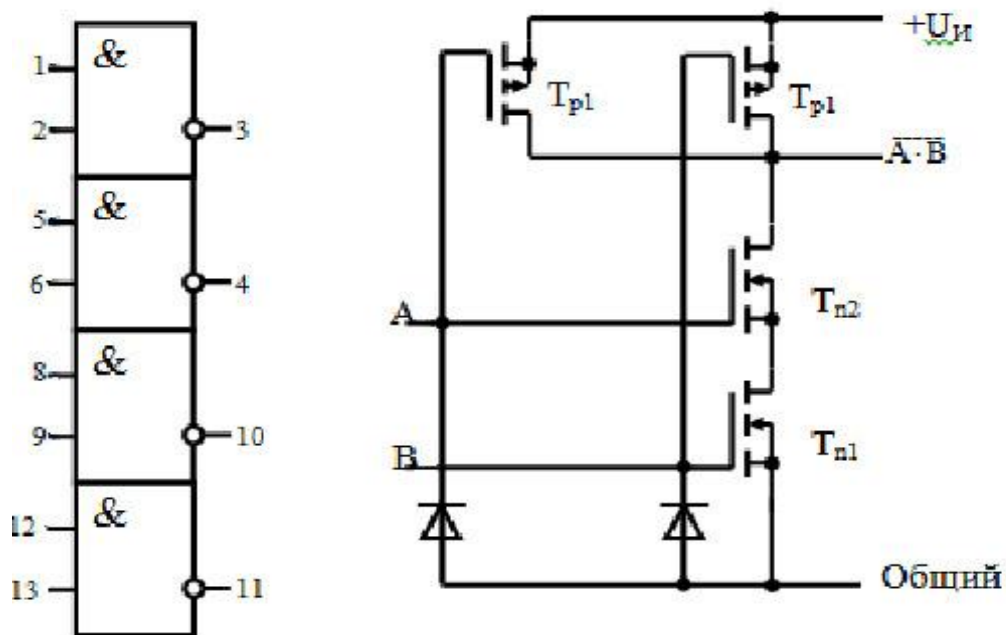


Рис. 34. Графическое изображение микросхемы К561ЛА7 (а) и принципиальная электрическая схема одного из логических элементов (б)

Установите микросхему К176ЛП1 на макетную панель. Соедините выводы микросхемы таким образом, чтобы реализовать три элемента НЕ. Подключите к микросхеме источник питания. Подавая поочередно на вход каждого инвертора напряжение V^1 и V^0 и соединив выход со светодиодом, исследуйте функционирование элементов. Опишите проведенные эксперименты.

Задание 10.

Соединив соответствующим образом выводы, превратите микросхему в элемент ЗИЛИ-НЕ, элемент ЗИ-НЕ и исследуйте их работу, подавая сигнал с выхода на светодиод. По результатам полученных экспериментальных данных составьте таблицы истинности исследованных элементов.

Задание 11. Изучите работу микросхемы К176ЛП1 в роли мультиплексора

Большая часть данных в цифровых системах передается непосредственно по проводам и проводникам печатных плат. Обычно возникает необходимость в многократной передаче информационных двоичных сигналов из одного места в другое. Если бы все данные передавались одновременно по параллельным линиям связи, то общая длина таких кабелей была бы слишком велика. Вместо этого данные передаются по одному проводу в последовательной форме, устройства, используемые для последовательной отправки данных называются мультиплексорами.

В работе изучается мультиплексор с двумя информационными входами и одним управляющим входом. Схема такого мультиплексора изображена

нарис.35. С помощью управляющего входа В осуществляется подключение выхода мультиплексора Д к одному из информационных входов А или В.

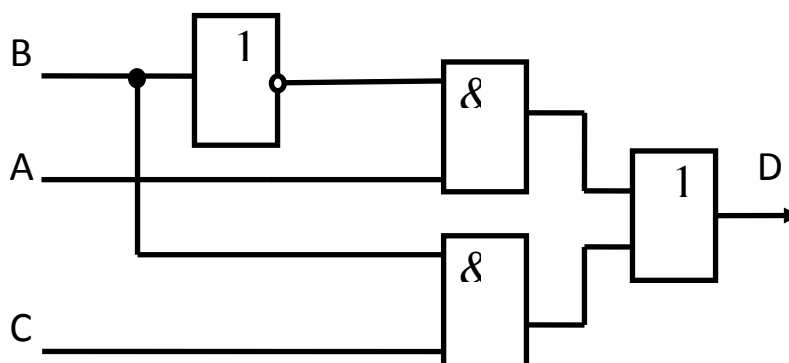


Рис. 35. Мультиплексор с двумя входами

Соберите мультиплексор по рис.36. Подавая на управляющий вход напряжение низкого и высокого уровней и подключив выход Д к светодиоду, исследуйте

прохождение

сигналов со входов

А и В на выход Д.

Будет ли

мультиплексор

пропускать сигнал с

выхода Д на вход А

или В при тех же

уровнях напряжения

на входе С? Как

будет работать

мультиплексор

когда пропускаемый

сигнал является аналоговым?

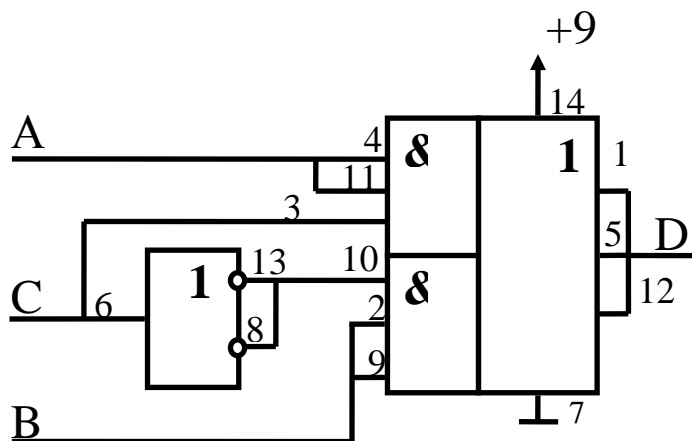


Рис. 36. Микросхема К176ЛП1 в роли мультиплексора

Задание 12.

Установите на макетную панель микросхему К561ЛА7 и подключите к ней источник питания +9 В. Проведите опытную проверку логики действия элементов 2И-НЕ микросхемы, подключая выход элемента к светодиоду и подавая на входы сигналы высокого и низкого уровней.

Задание 13.

Соберите по схеме рис.37 генератор импульсного напряжения на двух логических элементах.

Подключите выход генератора к осциллографу. Проверьте работоспособность конструкции. Исследуйте зависимость частоты генератора от величины C_1 и R_2 .

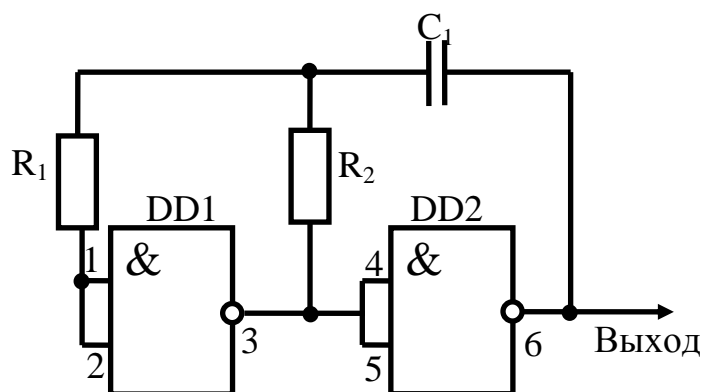


Рис. 37. Генератор импульсов на двух элементах микросхемы К561ЛА7

Для работы необходимо поставить переключатель Signal Route в положение Prototyping Board, выход исследуемой схемы подключить к FGEN.

Подключив выход генератора к осциллографу, исследуйте зависимость частоты, длительности и скважности импульсов от величины емкости при постоянном сопротивлении и от величины сопротивления при постоянной емкости.

Задание 14.

Соберите по схеме рис. 38 генератор импульсов на трех логических элементах.

Подключите выход генератора к осциллографу. Проверьте работоспособность конструкции.

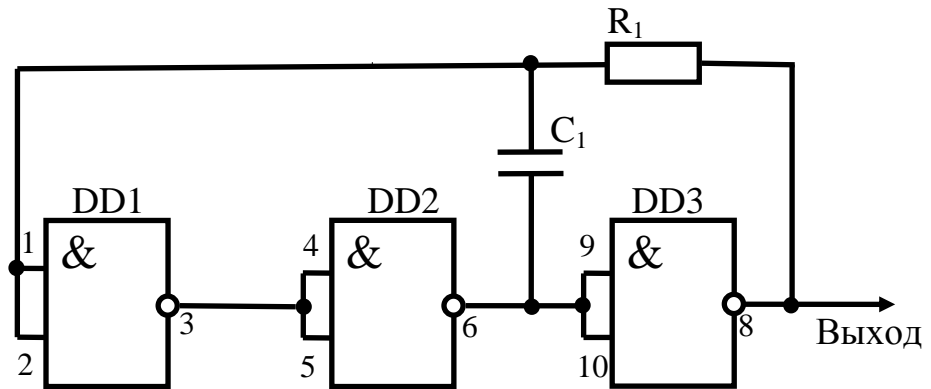


Рис. 38. Генератор импульсов на трех элементах микросхемы

Исследуйте зависимость частоты, длительности и скважности импульсов от величины емкости при постоянном сопротивлении и от величины сопротивления при постоянной емкости.

Задание 15.

Изучите работу генератора, схема которого приведена на рис 39.

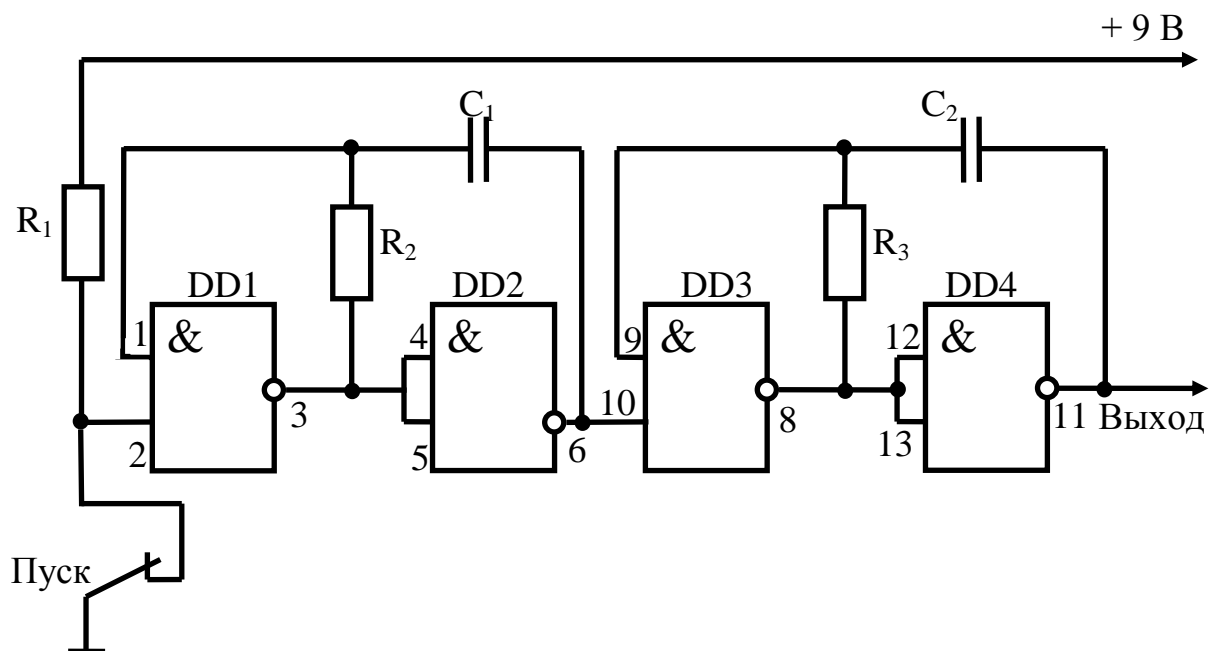


Рис. 39. Генератор импульсов на элементах микросхемы К561ЛА7

Соберите сначала часть схемы на двух логических элементах DD1 и DD2. Подключите выход элемента DD2 к светодиоду. Подайте на схему напряжение питания. Включите устройство, подав на нижний вход элемента DD1 управляющее напряжение высокого уровня и, разомкнув контакт "ПУСК", проверьте работоспособность конструкции. Опишите наблюдаемые явления.

Соберите всю схему. Подключите выход генератора сначала к светодиоду, а потом к осциллографу и изучите работу генератора. Какова частота генератора? Какие функции выполняет первая и вторая половины схемы? Соберите конструкцию, схема которой приведена на рис 40.

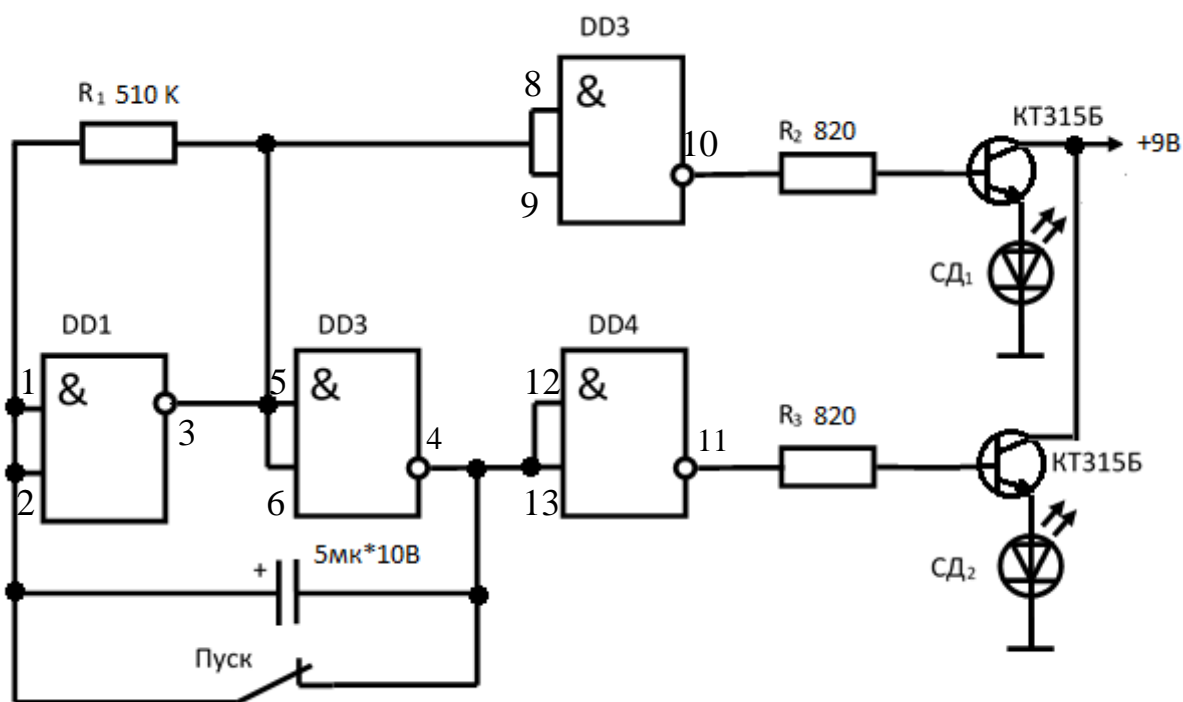


Рис. 40. Генератор случайных чисел на элементах микросхемы K561LA7

Ее можно рассматривать как генератор случайных чисел. В этом генераторе используются все четыре элемента микросхемы K561LA7. Два из них (DD1 и DD2) работают в качестве генератора импульсов, частота следования которых определяется номиналами резистора R_1 и конденсатора C_1 , а два других (DD3 и DD4) выполняют функцию согласующих ступеней. К выходам этих элементов через транзисторы T_1 и T_2 подключены светодиоды СД₁ красного свечения и СД₂ - зеленого. При размыкании контакта "ПУСК" генератор начинает работать, а элементы DD3 и DD4 попеременно, с частотой генератора переключаться из одного логического состояния в другое. С такой же частотой вспыхивают светодиоды. Исследуйте работу генератора, замыкая и размыкая контакт "ПУСК". Почему этот генератор называется генератором случайных чисел?

Задание 16.

Соберите RS триггер на двух логических элементах микросхемы К561ЛА7 (рис.41).

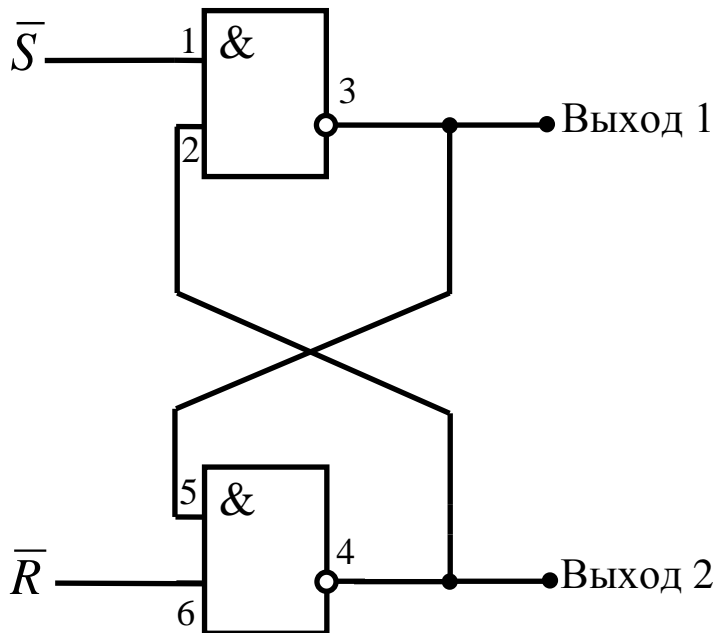


Рис. 41. RS триггер на двух логических элементах И-НЕ

Обратите внимание на то, что RS триггер имеет два входа \bar{S} и \bar{R} два выхода Q и \bar{Q} . В триггерах выходы, всегда находятся в противоположных (комплементарных) состояниях. Входы \bar{S} и \bar{R} рассматриваемого триггера называют соответственно входом установки 1 и входом установки 0.

Изучите работу триггера, подключив его выходы к светодиодам и подавая на входы уровни логического нуля и логической единицы. На основании полученных данных составьте таблицу истинности для RS триггера. Какое состояние триггера рассматривается как запрещенное?

3. Контрольные вопросы

1. Что такое логическая переменная и логический сигнал? Какие значения они могут принимать?
2. Что такое логическая функция?
3. Какие логические элементы составляют базовый набор?
4. Какие логические функции выполняет дешифратор?
5. Каково назначение входов управления в дешифраторе? Как влияет сигнал управления на выходные функции дешифратора?
6. Функцию какого электрического устройства выполняет мультиплексор для логических сигналов?
7. Каким логическим уравнением описывается работа мультиплексора 2×1 с управляющим входом?
8. Что такое мультиплексор? Принцип работы мультиплексора на два Информационных входа. Какова логическая формула мультиплексора на два входа?
9. Опишите принцип работы *RS*-, *JK*-, *D*- и *T*- триггеров.
10. Какова логическая структура интегрального *RS*-триггера, выполненного на элементах И-НЕ ТТЛ и его принципиальная схема?
11. Что такое *RST* триггер? Логическая структура и принцип работы *RST* триггера.
12. Принцип действия *RS*-триггера. В чем отличие *RS*-триггеров на логических элементах И-НЕ от *RS*-триггеров на логических элементах ИЛИ-НЕ?
13. Как с помощью *JK*- и *D*- триггеров реализовать счетный триггер.
14. Почему *T*-триггер называют счетным?
15. На основе каких триггеров и как можно реализовать двоичный счетчик? Что следует для этого сделать?
16. Как преобразовать суммирующий счетчик в вычитающий?
17. Что такое коэффициент пересчета счетчика?
18. Какими способами можно изменить коэффициент пересчета счетчика?
19. Каковы основные параметры цифровых микросхем серий ТТЛ и ТТЛШ?
20. Какова физическая структура интегрального биполярного транзистора, изготовленного с использованием комбинированной изоляции?
21. Что такое многоэмиттерный транзистор, какова его структура и принцип действия?
22. Что такое транзистор Шоттки? Как работает ключ на транзисторе Шоттки?
23. Простейший элемент И-НЕ ТТЛ. Принцип работы элемента.
24. Какие параметры простейшего элемента ТТЛ и как изменяются при
 - а) повышении напряжения питания $V_{у.п.}$;
 - б) повышении температуры;

- в) увеличении сопротивления R_1 в цепи МЭТ (при неизменных R_2 и $V_{u.п.}$)
- д) легировании кристалла атомами золота?
25. Устройство и принцип действия базового элемента И-НЕ ТТЛ.
26. За счет чего обеспечивается быстрое действие базового элемента И-НЕ ТТЛ?
27. Отличие логического элемента микросхемы К531ЛА3П от базового элемента И-НЕ ТТЛ.
28. Принцип действия генератора на логических элементах И-НЕ ТТЛ.
29. Для каких ЛЭ на биполярных транзисторах (ТТЛ, ЭСЛ, U^2 Л) и почему могут быть получены:
- а) наибольшее быстрое действие;
 - б) наибольшая помехоустойчивость;
 - в) наименьшая потребляемая мощность;
 - г) наибольшая нагрузочная способность;
 - д) наименьшая работа переключения;
 - е) наименьшая площадь?
30. Принцип действия МОП транзистора. Стоковые и стоконатворные характеристики МОП транзистора.
31. Опишите последовательность основных операций при создании структур полупроводниковых интегральных микросхем на комплементарных транзисторах.
32. Устройство и принцип действия базового логического элемента микросхем на КМОП транзисторах.
33. Быстрое действие инверторов на КМОП транзисторах. Как изменится средняя задержка и потребляемая мощность для инвертора при уменьшении
- а) толщины подзатворного диэлектрика;
 - б) длины канала одного из транзисторов;
 - в) ширины канала одного транзисторов?
34. Устройство и принцип действия логических элементов И-НЕ и ИЛИ-НЕ КМОП ТЛ.
35. Каким образом нужно соединить выводы микросхемы К176ЛП1, чтобы реализовать три элемента НЕ, элемент ЗИЛИ-НЕ, элемент ЗИ-НЕ?

Литература

1. LabVIEW: практикум по аналоговой и цифровой электронике: лабораторный практикум / под ред. В.К.Батоврин, А.С.Бессонов, В.В.Мошкин. М.: МГТУ, 2007. 132с.
2. Шило В.Л. Популярныe цифровые микросхемы. М.: Радио и связь, 1989, 1993.
3. Мальцева Л.А., Фромберг Э.М., Ямпольский В.С. Основы цифровой техники. М.: Радио и связь, 1986.
4. Основы микроэлектроники: учебное пособие для вузов / под ред. Н.А.Аваев, Ю.Е.Наумов, В.Т.Фролкин. М.: Радио и связь, 1991. 288с.
5. Основы микроэлектроники: учебное пособие для вузов / под ред. И.П.Степаненко. М.: Советское радио, 1980. 424с.
6. Токхейм Р. Основы цифровой электроники. М.: Мир, 1988.
7. Бирюков С,А. Цифровых устройства на МОП-интегральных микросхемах. М: Радио и связь, 1990.
8. Твердотельная электроника: учебное пособие для вузов / под ред. В.А.Гуртов. Петрозаводск: ПетрГУ, 2004. 312с.

